

ÖZET

10 BİT İKİ ADIMLI ANALOG SAYISAL DÖNÜŞTÜRÜCÜNÜN VLSI (VERY LARGE SCALE INTEGRATION) TASARIMI VE BENZETİMİ (SİMÜLASYONU)

Anıl ÇELEBİ

Anahtar Kelimeler: Threshold Inverter Quantization(TIQ), Evirici Eşiği Temelli Nicemleme (EEN) Paralel Analog-Sayısal Dönüştürücüler (A/S), Sayısal-Analog Dönüştürücüler(S/A), İki Adımlı Analog-Sayısal Dönüştürücü.

Özet: Gerçek dünyada doğadaki tüm elektriksel işaretler analogdurlar ve dalga şekilleri zamanda süreklidirler. İşaret işleme, büyük oranda ayrık zamanda sayısal olarak gerçekleştirildiği için analog dalga şekillerini ayrık sayısal numaralar dizisine çeviren veya tam tersine işlemleri gerçekleştiren cihazlar yüksek performanslı sayısal işleme sistemleri için hayati birer yapıtaşlarıdır. Burada bahsettiğimiz ilk işlemi gerçekleştiren cihaz analog-sayısal (A/S) dönüştürücü ikincisi ise (S/A) sayısal-analog dönüştürücüdür.

Belirli uygulamalarda bazı mimariler diğerlerine tercih edilirler. Üç önemli uygulama için üç önemli mimari göze çarpmaktadır. Örneğin düşük frekanslarda 12-bit ve daha üzeri uygulamaları gerçekleştirmek için aşırı örneklemeli A/S dönüştürücüler kullanılmaktadır. Ortalama bir hız ve yüksek çözünürlük için ise boru tipi veya çok adımlı A/S dönüştürücüler tercih edilmektedir. Çok yüksek frekanslarda ise sadece paralel ve katlamalı A/S dönüştürücüler sağlıklı çalışabilmektedir, ancak 6-8 bit arasındaki kısıtlı çözünürlüklerde.

Geleneksel paralel A/S dönüştürücülerde n-bitlik bir çözünürlük için (2^n-1) tane karşılaştırıcıya ve 2^n tane direnç gereksinim duyarız, yarı paralel yapıda ise bu sayı $2 \cdot (2^{n/2}-1)$ e inmektedir. EEN tekniğinde (Tangel 1999) ise klasik karşılaştırıcı ve bu karşılaştırıcıların girişlerindeki referans gerilimi üretmek için kullanılan direnç dizileri yerine kaskat bağlanmış eviricilerin eşik gerilimlerinin ayarlanması ile elde edilmiş bir karşılaştırıcı kümesi vardır. Bu yapının avantajları; direnç içermeyişi, en temel CMOS yapıtaşları olan eviricilerden oluşması ve DC güç tüketiminin çok düşük oluşudur. Bu çalışmada, (Tangel 1999) tarafından önerilen EEN yapısı iki adımlı A/S dönüştürücü mimarisine uyarlanmaya çalışılmıştır. Tasarımda AMIS 0.5 μm 3 metal iki poly yüksek direnç teknolojisi kullanılmış ve sistem bileşenleri farklı tarihlerdeki üretimlerde ölçülmüş 5 farklı BSIM v3.3 parametresi ile analiz edilmiştir.

ABSTRACT

VLSI (VERY LARGE SCALE INTEGRATION) DESIGN AND SIMULATION of A 10 BIT TWO STEP A/D CONVERTER

Anıl ÇELEBİ

Key words: Threshold Inverter Quantization (TIQ), Flash Analog-To-Digital Converter, Digital-To-Analog Converters, Semi-Flash (Two Step) Analog-To-Digital Converter.

Abstract: All electrical signals in the real world are analog in nature, and their waveforms are continuous in time. Since most signal processing is done numerically in discrete time, devices that convert an analog waveform into a stream of discrete digital numbers, or vice versa, have become technical necessities in implementing high-performance digital processing systems. The former is called an analog-to-digital converter (ADC or A/D converter), and the latter is called a digital-to-analog converter (DAC or D/A converter).

Some architectures are preferred to others for certain applications. Three architectures stand out for three important areas of applications. For example, the oversampling converter is exclusively used to achieve high resolution above the 12-bits level at low frequencies. The difficulty in achieving higher than 12-bits resolution in conventional techniques gives a fair advantage to the oversampling technique. For medium speed with high resolution, pipeline or multi-step ADCs are promising. At extremely high frequencies, only flash and folding ADCs survive, but with low resolution.

In this study two-step technique has been used with a new quantization architecture, which is called TIQ (Threshold Inverter Quantization) (Tangel 1999), to overcome large number of comparator requirements, resulting in an important reduction in chip size and an achievement of 10-bits resolution. For an N-bit resolution, traditional flash ADC technique needs 2^N number of resistor array to produce the reference voltage for the comparators. In this work TIQ technique has been applied instead of resistor array which covers less area on chip and does not have DC power consumption.

In this work, design of 10-bit TIQ based two-step ADC has been realized by using AMIS 0.5 μm 3M-2P High Res N-Well technology. Simulations have been made by using five different BSIM v3.3 spice model parameter files that captured in different runs of MOSIS. Simulation results are represented in Chapter-5 and the model parameter files and colored layout views of the system and subblocks are represented in Appendix-1 and 2 respectively.

ÖNSÖZ ve TEŞEKKÜR

Elektronik sistemler geliştikçe analog işaret dünyası ile sayısal işaret dünyası arasındaki ilişkiyi sağlayan analog-sayısal dönüştürücülerde, dönüştürme hızlarının ve çözünürlüklerinin artması gereği hissedilmiştir. Bu yüzden gelişen teknoloji dünyasında A/S ve S/A dönüştürücü tasarımları hep önemli olmuştur.

A/S ve S/A dönüştürücü sistemleri hem analog hem de sayısal kısımlardan oluştuğu için tasarımları oldukça zordur. Bu sistemler tasarlanırken sadece harcanan güç ve sistemin hızı değil aynı zamanda devrenin pul üzerinde kapladığı alan ve sayısal gürültünün analog kısma karışmasının kaçınılmazlığı da sistemin gerçekleştirilebilirliği açısından düşünülmesi gereken bir noktadır. Pul alanı ve harcanan güç mümkün olduğunca küçültülmelidir çünkü kullanılan sistemlere göre A/S ve S/A dönüştürücü türleri değişmektedir. Bu çalışmada EEN temelli iki aşamalı A/S dönüştürücü tasarımı, çeşitli simülasyon sonuçları ve serim şeması verilmiştir. Tüm bu çalışmalar CADENCE IC 5.0.32 paket programı ile yapılmıştır, tasarım kütüphaneleri Kuzey Carolina Eyalet Üniversitesi' nin Cadence tasarım kitinin 1.4 sayılı sürümü (NCSU CDK v1.4) ile yapılmıştır. Amis 0.5 mikron 3M 2P HighRes teknolojisi kullanılmış ve tasarım farklı tarihlerdeki süreçlerden elde edilen spice parametreleri ile ayrı ayrı simüle edilerek üretilebilirlik araştırması da yapılmıştır. Sonuçlar Bölüm 5' de ayrıntılı olarak sunulmuştur.

Bu çalışmanın yapılması için gereken yazılım ve donanım desteği **102E001** no'lu **TUBİTAK EEAG** araştırma projesi kapsamında sağlanmıştır.

Bu çalışmada benden yardımlarını eksik etmeyen sevgili arkadaşım Oktay AYTAR' a, her başım sıkıştığında yanımda olan, danışmanım sayın Yrd. Doç. Dr. Ali TANGEL' e, ve benden destek ve sabırlarını esirgemeyen aileme ve dostlarım Aysun TAŞYAPI ile Sinem ÖZER' e yürekten teşekkürlerimi sunuyorum.

OCAK 2005, KOCAELİ

Anıl ÇELEBİ

İÇİNDEKİLER

ÖZET	ii
ABSTRACT	iii
ÖNSÖZ ve TEŞEKKÜR.....	iv
İÇİNDEKİLER	v
SİMGELER DİZİNİ VE KISALTMALAR.....	viii
ŞEKİLLER DİZİNİ	ix
TABLolar DİZİNİ	xii
BÖLÜM 1: GİRİŞ.....	1
BÖLÜM 2: ANALOG SAYISAL DÖNÜŞTÜRÜCÜLER.....	3
2.1 Giriş.....	3
2.2 A/S Dönüştürücülerin Özellikleri	6
2.2.1 A/S dönüştürücülerin durağan özellikleri	7
2.2.1.A Ofset (Offset) ve kazanç (Gain) hataları	7
2.2.1.B Tekdüzelik (Monotonicity)	9
2.2.1.C Doğrusal olmayan fark (DNL)-(Differential nonlinearity)	9
2.2.1.D Doğrusal olmayan tümlev (INL)-(Integral nonlinearity)	9
2.2.2 A/S Dönüştürücülerin devinik karakteristikleri	10
2.2.2.A Bit hata oranı (BER)	10
2.2.2.B En büyük örnekleme oranı (EÖO)-Maximum sampling rate	10
2.2.2.C İşaret gürültü oranı (SNR-Signal to Noise Ratio)	11
2.3 Yüksek Hızlı Analog Sayısal Dönüştürücü Mimarileri	12
2.3.1 Giriş	12
2.3.2 Paralel A/S dönüştürücüler	12
2.3.3 Ardışıl Yaklaşımlı A/S Dönüştürücüler	14
2.3.4 Katlamalı(Folding) A/S dönüştürücü.....	15
2.4.5 İki adımlı, hata düzeltmeli ve boru tipi A/S dönüştürücüler	16
2.4 A/S Dönüştürücülerde Yaygın Olarak Kullanılan Karşılaştırmalı Yapıları	17
2.4.1 Tam diferansiyel tutucu tipi karşılaştırmalı	18

2.4.2 Devinik (Auto-Zero) karşılaştırıcı	19
BÖLÜM 3: EEN FELSEFESİ.....	22
3.1 Giriş.....	22
3.2 CMOS Evirici	22
BÖLÜM 4: SAYISAL-ANALOG DÖNÜŞTÜRÜCÜLER	28
4.1 Giriş.....	28
4.2 S-A dönüştürücülerin durağan karakteristikleri.....	29
4.3 S/A dönüştürücülerin devinik karakteristikleri.....	30
4.4 Sayısal-Analog Dönüştürücü Türleri.....	31
4.4.1 Paralel sayısal-analog dönüştürücüler.....	31
4.4.1.A Akım bölmeli sayısal-analog dönüştürücüler.....	32
4.4.1.B Gerilim bölmeli sayısal-analog dönüştürücüler	32
4.4.1.C Yük bölmeli sayısal-analog dönüştürücüler	33
4.4.2 Seri sayısal-analog dönüştürücüler	33
BÖLÜM 5: SİSTEMİN TASARIMI VE BENZETİMİ	35
5.1 Giriş.....	35
5.2. 5 bit A/S-S/A Dönüştürücü Yapısı.....	37
5.2.1 Giriş	37
5.2.2 5 bit A/S dönüştürücü	40
5.2.2.A Nicemleyici	40
5.2.2.B Devinik tutucu.....	47
5.2.2.C Kod çözücü	49
5.2.2.D Programlanabilir Mantık dizisi	51
5.2.3. 5 bit A/S dönüştürücü	51
5.3 Sistemde Kullanılan Analog Birimler.....	54
5.3.1 Analog tampon	54
5.3.2 Fark Alıcı	56
5.3.3 Kuvvetlendirici	58
5.4 10-BİT Analog Sayısal Dönüştürücünün Simülasyonu.....	59
KAYNAKLAR.....	63
EK-1	68

EK-2	75
ÖZGEÇMİŞ.....	76

SİMGELER DİZİNİ VE KISALTMALAR

ADC	Analog to Digital Converter
BER	Bit Error Rate
DAC	Digital to Analog Converter
DNL	Differential Nonlinearity
ENOB	Effective Number of Bits
FS	Full Scale
INL	Integral Nonlinearity
LSB	Least Significant Bit
MSB	Most Significant Bit
SNDR	Signal to Noise and Distortion Ratio
SNR	Signal to Noise Ratio
TIQ	Thershold Inverter Quantization

ŞEKİLLER DİZİNİ

Şekil 2.1. Analog-Sayısal Dönüştürücünün Blok Gösterimi	4
Şekil 2.2. A/S dönüştürücülerin görsel olarak sınıflandırılması	6
Şekil 2.3. İdeal 3-bit A/S dönüştürücünün transfer eğrisi.....	7
Şekil 2.4. Ofset hatalı 3-bit A/S dönüştürücü	8
Şekil 2.5. Kazanç hatalı 3-bit A/S dönüştürücü	8
Şekil 2.6. A/S dönüştürücülerin geçiş eğrilerinde görülebilecek INL ve DNL hataları	9
Şekil 2.7 Paralel A/S dönüştürücünün genel bir gösterimi	13
Şekil 2.8 Temel ardışıl yaklaşımlı A/S dönüştürücü yapısı	15
Şekil 2.9 Katlama-aradeğerleme yönteminin temel görünümü.....	15
Şekil 2.10 Temel N bitlik iki adımlı A/S dönüştürücünün öbek gösterimi.....	17
Şekil 2.11 Gerilim Karşılaştırıcının Blok Şeması.....	18
Şekil 2.12 Tam Diferansiyel Tutucu Tipi Karşılaştırıcı.....	19
Şekil 2.13. Temel Devinik CMOS Karşılaştırıcı Devresi.....	20
Şekil 3.1 Temel CMOS evirici devresi	22
Şekil 3.2 Evirici gerilim geçiş eğrisi	24
Şekil 4.2 A/S dönüştürücünün sayısal sistemlerde kullanımına yönelik genel bir ifade	29
Şekil 5.1 Tasarlanan 10 bit A/S dönüştürücünün genel yapısı.....	36
Şekil 5.2 5-bit A/S-A/S dönüştürücü öbeğinin iç yapısı.....	37

Şekil 5.3 5-bit A/S-A/S dönüştürücü öbeğinin fiziksel görünümü	37
Şekil 5.4. 5bit A/S-A/S dönüştürücü yapısının DC analiz sonuçları	39
Şekil 5.5. 5bit A/S-A/S dönüştürücü yapısının 1µs süreli rampa işareti ile yapılan analizinden elde edilen sonuçlar	39
Şekil 5.6 Nicemleyici yapısının öbek görünümü.	40
Şekil 5.7 16 numaralı sayısal tampon devresinin transistör seviyesinde görünümü..	42
Şekil 5.8 16 numaralı nicemleyicinin gerilim geçiş eğrisi.....	42
Şekil 5.9 Nicemleyici öbeğinin t3cu kodlu parametrelerle analizi	43
Şekil 5.10. Nicemleyici öbeğinin t41c kodlu parametrelerle analizi	44
Şekil 5.11 Nicemleyici öbeğinin t41j kodlu parametrelerle analizi.....	44
Şekil 5.12 Nicemleyici öbeğinin t42q kodlu parametrelerle analizi	44
Şekil 5.13 Nicemleyici öbeğinin t43a kodlu parametrelerle analizi	45
Şekil 5.14 Nicemleyici öbeğinin t3cu kodlu parametrelerle 1ms süreli rampa işaretine verdiği cevap	45
Şekil 5.15 Nicemleyici öbeğinin t41c kodlu parametrelerle 1us süreli rampa işaretine verdiği cevap	46
Şekil 5.16 Nicemleyici öbeğinin t41c kodlu parametrelerle 68ns süreli, rampa işaretine verdiği cevap.....	46
Şekil 5.17 Devirik tutucu devresi transistör-kapı seviyesi görünümü.....	47
Şekil 5.18 Tutucu öbeğinin fiziksel görünümü	48
Şekil 5.19 Tutucu devresinin zaman düzleminde analize verdiği cevap	49
Şekil 5.20 Kod çözücü hücresinin transistör-kapı seviyesi görünümü.	49
Şekil 5.21 Kod çözücü hücresinin fiziksel görünümü	50

Şekil 5.22 Kod çözücü hücresi Zaman düzleminde analiz sonuçları.....	51
Şekil 5.23 5-bit S/A dönüştürücü öbek gösterimi	52
Şekil 5.24 5 bit S/A dönüştürücü birim alt hücresi	53
Şekil 5.25 5-bit A/S dönüştürücü alt hücresinin fiziksel görünümü	54
Şekil 5.26 Analog tampon devresi	55
Şekil 5.27 Analog tampon devresinin AC analiz sonuçları	56
Şekil 5.28 Fark alıcı devresi.....	57
Şekil 5.29 Fark alıcı devresinin AC çalışma karakteristiği.....	57
Şekil 5.30 Kuvvetlendirici devresi.....	58
Şekil 5.31 Kuvvetlendirici devresinin Ac çalışma karakteristiği.....	59
Şekil 5.32 10 bit A/S' ne ait DC analiz sonuçları.ü	59
Şekil 5.33 LSB bitlerinin daha ayrıntılı görüntüsü	60
Şekil 5.34 10-bit A/S dönüştürücünün 20 μ s' lik rampa fonksiyonu ile test edilmesi	61
Şekil 5.35 En değerliksiz bitlerin ayrıntılı görüntüsü	61

TABLÖLAR DİZİNİ

Tablo2.1. Analog-Sayısal Dönüştürücülerin Sınıflandırılması (Chen 2000).....	4
Tablo 2.2. Analog sayısal dönüştürücülerin karşılaştırmalı sınıflandırılması.....	5
Tablo 4.1. Paralel Sayısal-Analog dönüştürücülerin performans karşılaştırılması....	33
Tablo 4.2. Seri Sayısal-Analog Dönüştürücülerin Performans Özeti.	34
Tablo 5.1 16 numaralı nicemleyicinin farklı parametrelerle gösterdiği eşik gerilimi değerleri	41

BÖLÜM 1: GİRİŞ

Paralel A/S dönüştürücülerin karşılaştırmalı katlarını incelemek istediğimizde, (Tangel 1999) bu konuda şöyle demektedir.

“Genel olarak, paralel A/S dönüştürücü tasarımlarında iki tür karşılaştırmalı kullanılmaktadır, bunlar tamamen farksal tutucu (fully differential latch) ve devinik (auto zero olarak da bilinir) karşılaştırmalıdır. Bu iki tür, eşlenik MOS (CMOS) teknolojisinde, yüksek hızlı A/S dönüştürücü tasarımlarında en yaygın kullanılan karşılaştırmalı türleridir.”

Tamamen farksal yapıda, giriş ofset hatasını azaltmak için büyük transistörlere gereksinim olmasının yanı sıra DC ön gerilimlemeye de gereksinim vardır. Gerçekte büyük transistör uygulamaları eviricinin giriş kapasitesinde artışa neden olmakla birlikte, DC ön gerilim durağan güç tüketimine neden olmaktadır. Diğer taraftan devinik karşılaştırmalıda yüksek doğruluk için büyük transistörlerden oluşan anahtar uygulamalarına gereksinim vardır fakat MOS anahtarların neden olduğu yük enjeksiyonu da kendi başına bir hata oluşturmaktadır.

Paralel A/S dönüştürücü tasarımında, yukarıda bahsettiğimiz, geleneksel karşılaştırmalı dizilerinin kullanımından kaynaklanan sorunlara ek olarak analog işaretin nicemlenebilmesi için ayrıca bir de direnç dizisine gereksinim vardır. Bu da nicemeleme işlemi için fazladan güç ve alan anlamına gelmektedir.

Bütün bu sorunlara rağmen paralel A/S dönüştürücü mimarisi video işaret işleme, yüksek performanslı sayısal haberleşme, sabit disk sürücüler ve tıbbi görüntüleme gibi yüksek hız gerektiren uygulamalar için en çekici çözümdür.

Bu çalışmada yüksek hızlı iki adımlı (semi flash-two step) mimariye sahip bir A/S dönüştürücünün tasarımı, ve tümdevre (VLSI) serimi yapılmıştır. Tasarlanan A/S dönüştürücünün içerisinde iki adet özdeş paralel A/S dönüştürücü kullanılmıştır. Kullanılan bu A/S dönüştürücünün geleneksel paralel A/S dönüştürücülerden

ayrıldığı nokta, nicemleyici katında direnç dizisi ve yukarıda bahsedilen olumsuzluklara neden olan karşılaştırmacı yapılarını içermemesidir. Karşılaştırma işlemini gerçekleştirmek için kaskat bağlı eviricilerden oluşan bir öbek vardır ve bu öbeğin her bir katındaki eviricileri oluşturan transistörler, evirici çıkışları belirli bir referans gerilimde durum değiştirecek şekilde boyutlandırılmışlardır. Bölüm 3' den itibaren A/S dönüştürücünün tasarımında kullanılan temel fikir anlatılacak ve takip eden bölümlerde varılan sonuçlar ve tasarlanan A/S dönüştürücünün simülasyon sonuçlarına yer verilecektir.

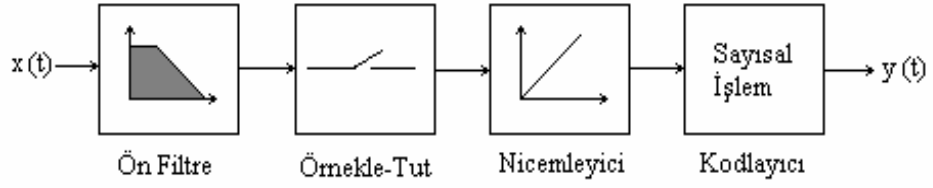
BÖLÜM 2: ANALOG SAYISAL DÖNÜŞTÜRÜCÜLER

2.1 Giriş

Bilindiği gibi A/S dönüştürücüler sürekli zamanlı, analog işaretleri ayrık zamanlı, sayısal işaretlere dönüştürmek için kullanılan cihazlardır. A/S dönüştürücülerin genel yapısı Şekil 2.1’ de görülmektedir (Allen and Holberg 2002). Bu yapı ön süzme, örnekleme/tutma, nicemleme ve kodlama katmanlarından oluşmaktadır.

A/S dönüştürücülerde önce analog işareti bir örnekleme-tutma işleminden geçirmek gerekmektedir. Ön filtreden çıkan işaretler bir örnekleme-tutma devresinden geçtikten sonra nicemleyiciye (quantizer) uygulanır. Son olarak işaret kodlayıcıya uygulandıktan sonra çıkıştan sayısal bilgi alınır. Bu arada geçen süresi dönüştürme zamanı olarak isimlendirilir. Dönüştürme nicemleyicinin yardımı ile olmaktadır. Nicemleyici, gelen analog işareti ayrık gerilim seviyelerine bölmektedir. N bitlik bir A/S dönüştürücünün nicemleyici katında 2^N-1 adet basamak vardır. N, sayısal çıkıştaki bit sayısını göstermektedir. Nicemleyicide kullanılacak olan basamak sayısı örneklenen analog işaret ile uygun olmalıdır dolayısıyla dönüştürme zamanı içerisinde, örneklenen analog işaret sayısal işarete dönüştürülür.

Günümüzde çok farklı A/S dönüştürücü mimarileri vardır, bu kadar çeşitli mimari olmasının tek sebebi ise teknik gereksinimlerdir. Güç tüketimi, yonga alanı, çözünürlük, örnekleme hızı bu teknik gereksinimlerin en başında gelmektedir. Örneğin batarya destekli bir cihazın içerisine çok güç tüketen bir A/S dönüştürücü koymak doğru olmayacaktır bunun yerine daha az güç tüketen bir A/S dönüştürücü kullanılmalıdır fakat güç tüketimini düşürürken nelerden ödün vereceğimiz bizi en uygun A/S dönüştürücü mimarisini seçmeye itecektir. A/S dönüştürücülerin türlerine ilişkin basit bir sınıflandırma Tablo 2.1’ de gösterilmiştir, daha ayrıntılı ve karşılaştırmalı bir inceleme de Tablo2.2’ de verilmiştir (Maxim 2003).



Şekil 2.1. Analog-Sayısal Dönüştürücünün Blok Gösterimi

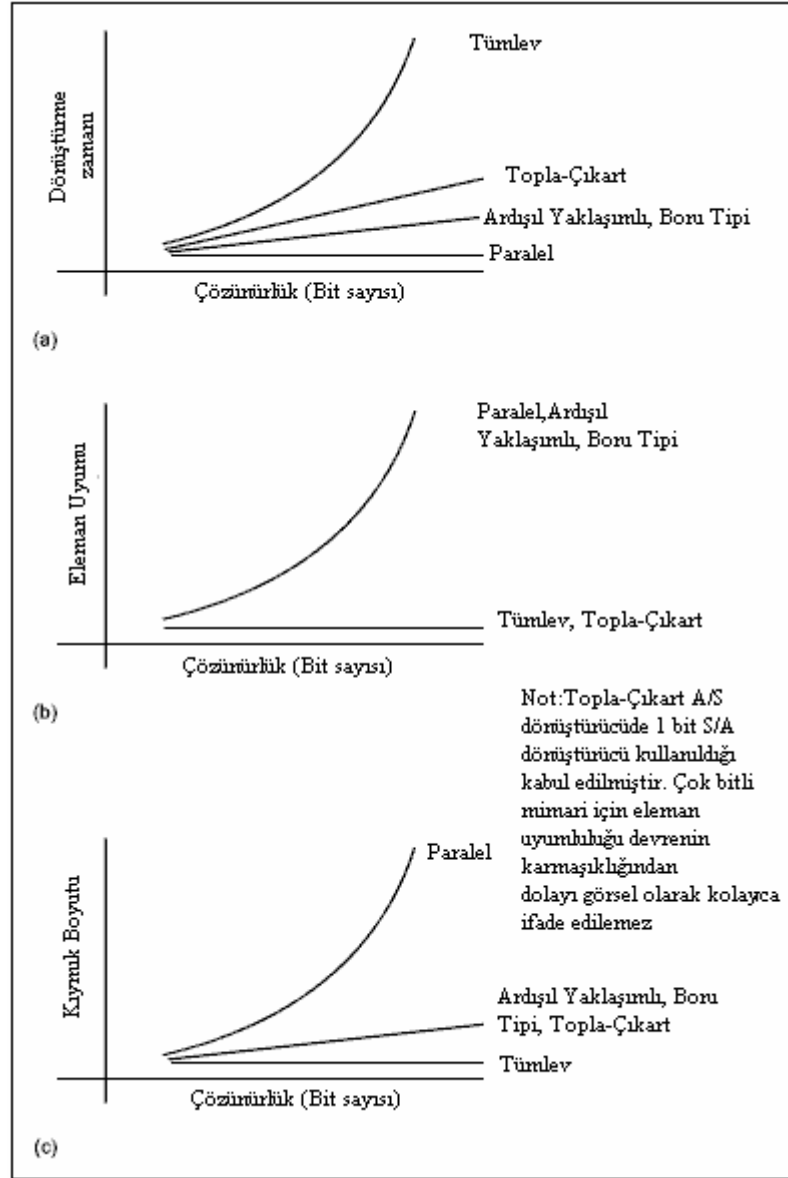
Tablo2.1. Analog-Sayısal Dönüştürücülerin Sınıflandırılması (Chen 2000).

Nyquist oranı A/S dönüştürücüler	Aşırı Örneklemeli A/S Dönüştürücüler
Eğim Tipi (Slope Type ADC) Ardışıl Yaklaşımlı (Suc. App. ADC) Paralel (Flash ADC) Alt Bölütlemeli (Subranging ADC) Çok Adımlı (Multi Step ADC) Boru Tipi (Pipeline ADC) Algoritmik, Çevrimsel veya Özyinelemeli (Algorithmic, Cyclic, or Recursive ADC) Zaman Bölmeli (Time Interleaved ADC)	Topla-Çıkart ($\Sigma\Delta$) (Sigma-Delta ADC)

Tablo 2.2’ de verilen özelliklerin görsel ifadesi Şekil 2.2’ de görülebilir (Maxim 2003). Tablo2.2’ de katlamalı mimariden bahsedilmemiştir. Çok yeni bir yöntem olmadığı bilinmekle birlikte *Analog Devices*’ ın bu yöntemle çalışan analog sayısal çeviricilerinin olduğunu biliyoruz. Yüksek hızlı A/S dönüştürücü mimarileri ve temel özelliklerine “2.3 Yüksek hızlı A/S dönüştürücü mimarileri” adlı bölümde daha ayrıntılı değinilecektir.

Tablo 2.2. Analog sayısal dönüştürücülerin karşılaştırmalı sınıflandırılması

	Paralel (Flash)	Ardışıl Yaklaşımlı	Eğim Tipi (Dual Slope)	Boru Tipi	Topla-Çıkart (Sigma-Delta)
Genel özellikleri	Güç tüketiminin önemli olmadığı çok yüksek hız gerektiren uygulamalar	8-16 bit çözünürlük, en fazla 5MS/s örnekleme hızı, düşük güç ve küçük alan	DC işaretleri gözlemleme, yüksek çözünürlük, düşük güç tüketimi, iyi gürültü cevabı	Yüksek hız, birkaç MS/s hızdan 100+ MS/s' e kadar örnekleme hızı, 8-16 bit çözünürlük, paralel yapıdan daha düşük güç tüketimi	Yüksek çözünürlük, düşük ortalama örnekleme hızı, harici ayar elemanı gerektirmez, girişim önleyici sayısal filtre.
Dönüştürme yöntemi	N bit için 2N-1 karşılaştırıcı, her fazladan bit için bu sayı iki-ye katlanır.	İkili arama algoritması, dahili devreler daha yüksek hızda çalışır.	Bilinmeyen giriş işareti tümlenir ve bilinen başvuru işareti ile karşılaştırılır.	Küçük paralel yapı, her bir yapı bir veya birkaç bit üzerinde çalışır.	Aşırı örnekleme A/S dönüştürücü, 5-60 Hz ayarlanabilir bastırım özellikli veri çıkışı
Kodlama Yöntemi	Termometre kodlama	Ardışıl yaklaşım	Analog tümlev	Sayısal düzeltme algoritması	Aşırı örnekleme modülatörü, sayısal ondalama filtresi (Decimation filter)
Olumsuz yönleri	İğne kodlar, yarı kararlılık, yüksek güç tüketimi, büyük alan, maliyet	Örnekleme hızı 5MS/s' e kadar çıkabilir, örtüşme bastırım filtresi gerekebilir.	Düşük dönüştürme oranı, doğruluğu elde etmek için harici yüksek doğruluk elemanları gerekir.	Paralellik çıkışı artırır ama bunun karşısında güç tüketimi ve gecikme artar.	Yüksek derecelerde (4 ve üzeri) birkaç bit A/S ve A/S dönüştürücü gereksinimi vardır.
Dönüştür-me süresi	Çözünürlüğün artması dönüştürme süresini etkilemez.	Çözünürlüğün artmasıyla doğrusal olarak artar	Dönüştürme süresi her bit artışında iki kat artar.	Çözünürlükle doğrusal olarak artar.	Veri çıkış oranı ve gürültüsüz çözünürlük arasında bir tercih gerektirir.
Çözünür-lük	Eleman uyumu sorunu çözünürlüğün genelde 8-bit ile sınırlandırılmasına neden olur.	Bit sayısındaki her bir artış eleman uyum oranının iki ile çarpılmasına neden olur.	Eleman uyumu çözünürlük artışından etkilenmez.	Çözünürlükteki bir bitlik artış eleman uyumu gereksiniminin iki ile çarpılmasına neden olur.	Çözünürlükteki bir bitlik artış eleman uyumu gereksiniminin iki ile çarpılmasına neden olur.
Boyut	Kıymık alanı güç tüketimi, karşılaştırıcı sayısı, çözünürlükle üstel orantılı olarak artar.	Çip alanı çözünürlükle doğru orantılı olarak artar.	Çözünürlük artışı çekirdek alanı değiştirmez.	Kıymık alanı çözünürlükle doğru orantılı olarak artar.	Çözünürlük artışı çekirdek alanı değiştirmez.



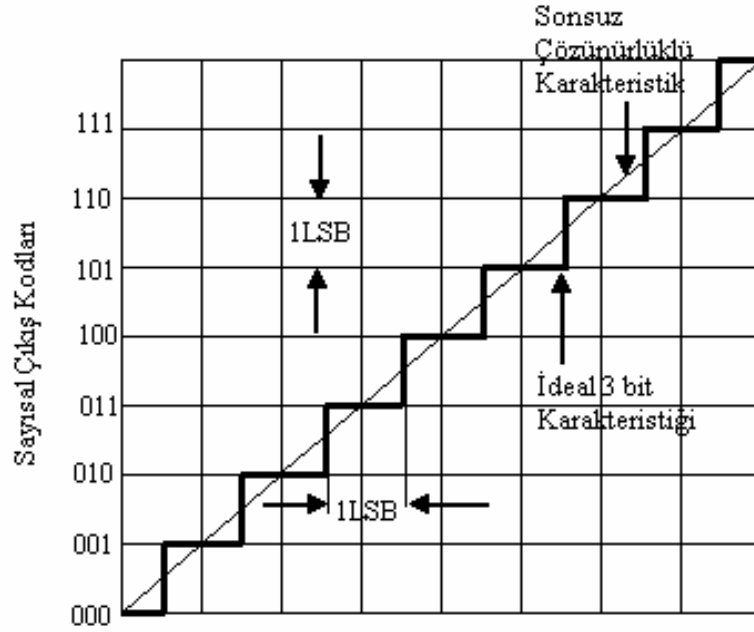
Şekil 2.2. A/S dönüştürücülerin görsel olarak sınıflandırılması

2.2 A/S Dönüştürücülerin Özellikleri

Değişen teknoloji ve uygulama ihtiyaçları karşısında A/S dönüştürücüleri belirli bir standarda oturtmak pek mümkün gözükmemektedir ancak A/S dönüştürücülerin temel özelliklerini iki kısımda incelemek mümkündür, bunlardan birincisi durağan (static) özellikler ikincisi ise devinik özelliklerdir (Tangel 1999). Bu bölümde çok önemli birkaç özelliğin tanımına yer verilmiştir.

2.2.1 A/S dönüştürücülerin durağan özellikleri

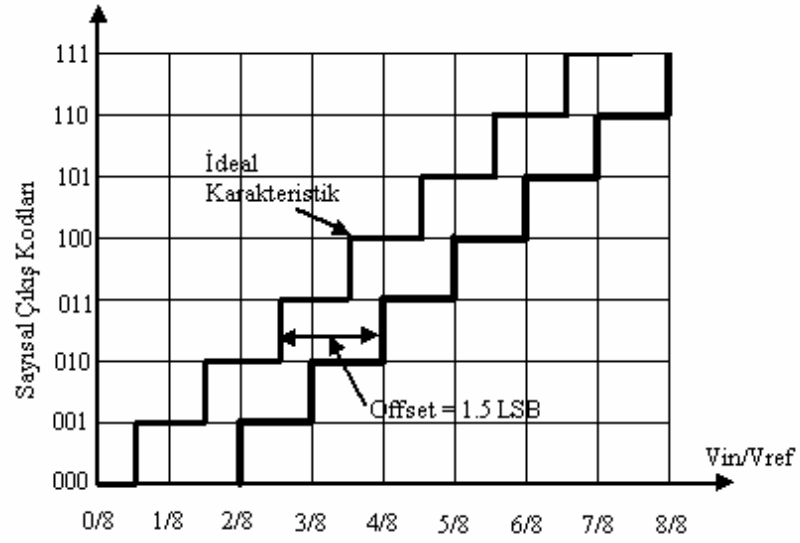
Durağan özellikler bir dönüştürücünün girişi ile çıkışı arasındaki geçiş eğrisinden çıkartılabilir. Bu eğri analog işaret ile A/S dönüştürücü çıkışında elde edilen sayısal kod arasındaki ilişkiyi verir. Doğrusal olmayan fark (DNL) ve doğrusal olmayan tümlev (INL) ise bir A/S dönüştürücünün durağan özelliklerini belirleyen iki temel olgudur. A/S dönüştürücünün sahip olduğu geçiş eğrisi pratik uygulamada daima ideal merdiven şeklinden farklı olur, bunun nedeni temel olarak ofset hatası, kazanç hatası, DNL ve INL hatalarıdır.



Şekil 2.3. İdeal 3-bit A/S dönüştürücünün transfer eğrisi

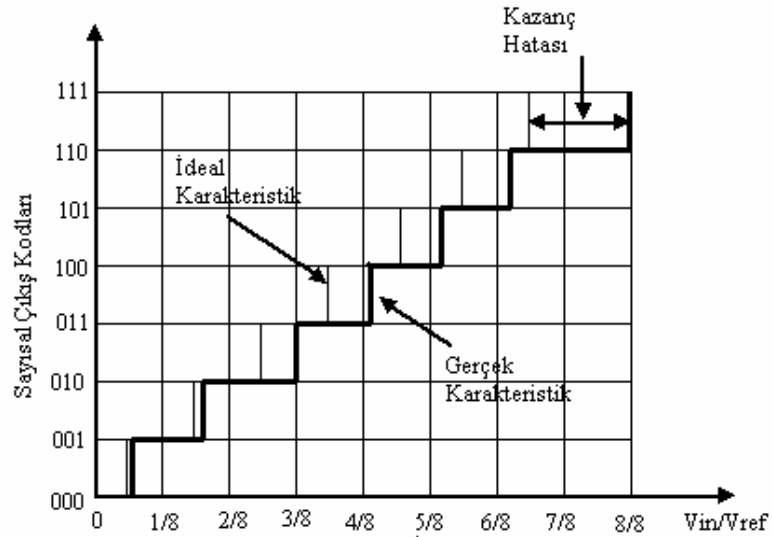
2.2.1.A Ofset (Offset) ve kazanç (Gain) hataları

Ofset hatası idealdeki ile uygulamadaki ofset noktaları arasındaki farktır. Ofset hatası Şekil 2.4' de görüldüğü gibi ideal geçiş eğrisindeki kayma olarak da tanımlanabilir. Ofset hatası giriş ve çıkışlardaki kuvvetlendirici ve karşılaştırıcılarda kullanılan elemanların birbirleri ile olan uyumsuzluklarından kaynaklanmaktadır.



Şekil 2.4. Ofset hatalı 3-bit A/S dönüştürücü

Kazanç hatası ise A/S dönüştürücünün ofset hatası giderildikten sonra geçiş eğrisinde gözlenen, ideal kazanç noktası ile elde edilen kazanç noktası arasındaki farktır. A/S dönüştürücü için her bir adımın orta noktası kazanç noktası olarak nitelendirilmektedir. Kazanç hatası ise ideal geçiş eğrisi ile elde edilen transfer eğrisi arasındaki eğim farkı olarak nitelendirilir. Kazanç hatası Şekil 2.5’ de görsel olarak da ifade edilmiştir.



Şekil 2.5. Kazanç hatalı 3-bit A/S dönüştürücü

2.2.1.B Tekdüzelik (Monotonicity)

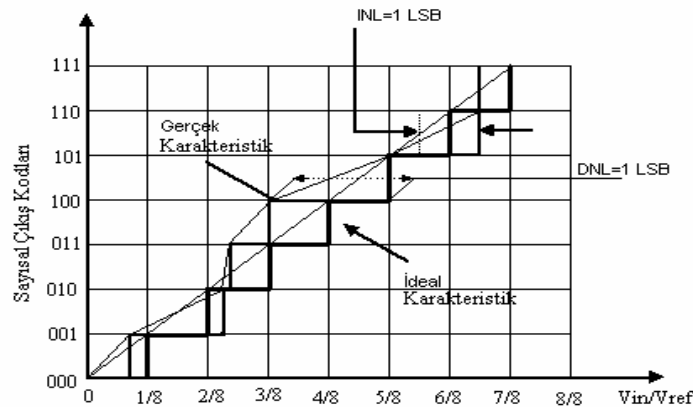
Bir A/S dönüştürücüde kayıp kod yoksa o A/S dönüştürücü için tekdüzedir denir. Tekdüzelğin bozulmaması için INL değeri $\pm \frac{1}{2}$ LSB (En Değerliksiz Bit) aralığında (Tangel 1999), negatif DNL ise 1 LSB’ den küçük olmalıdır (Chen 2000). Geçiş eğrisinde bir kodun kaybolması tekdüzeliğin bozulması demektir. Önerilen yapıda tek düzelğin bozulmasının nedenlerinden biri imalat sonrası değişebilen transistör boyutlarıdır.

2.2.1.C Doğrusal olmayan fark (DNL)-(Differential nonlinearity)

“Doğrusal olmayan fark” terimi bir kodun yatay uzunluğunun ideal kodun yatay uzunluğundan farklı olduğu durumları belirtmek için kullanılır. DNL ve INL, LSB türünden ifade edilirler. Eğer negatif DNL 1 LSB den büyük olursa A/S dönüştürücü tekdüze değildir denir. Adım genişliği tam 1 LSB ise DNL sıfırdır.

2.2.1.D Doğrusal olmayan tümlev (INL)-(Integral nonlinearity)

INL, A/S dönüştürücünün geçiş eğrisinde kodların konum değiştirdikleri noktaların ideal geçiş noktaları ile aralarındaki fark olarak nitelendirilir. Şekil2.6’ de tekdüzelik, DNL ve INL terimleri anlatılmaya çalışılmıştır.



Şekil 2.6. A/S dönüştürücülerin geçiş eğrilerinde görülebilecek INL ve DNL hataları

2.2.2 A/S Dönüştürücülerin devinik karakteristikleri

Devinik karakteristikler belirli bir A/S dönüştürücü yapısının uygulanabilirliği hakkında bilgi sahibi olmamızı sağlar (Tangel 1999). Bu karakteristikler A/S dönüştürücülerin ac giriş işareti karşısında gösterdiği davranışla ilgili özelliklerini gösterirler. İşaret-gürültü oranı (SNR), İşaret-gürültü ve bozulma oranı (SNDR), etkin bit sayısı, toplam harmonik bozulma (THD), intermodülasyon bozulması (IMD), tam güç band genişliği (FPBW) bunlardan bazılarıdır (National Instruments 2000). Biz burada bit hata oranı, en büyük örnekleme oranı ve işaret gürültü oranı kavramlarından bahsedeceğiz.

2.2.2.A Bit hata oranı (BER)

Bit hata oranı yüksek hızlı A/S dönüştürücülerde doğruluğu ve karşılaştırmaların yüksek örnekleme frekanslarındaki çalışması hakkında bir fikir veren önemli bir özelliktir (Tangel 1999). Karşılaştırmaların frekans cevabının yeterince iyi olmadığı durumlarda dönüştürücünün hızının belirlenmesinde bu parametre etkili olacaktır.

$$BitHataOranı = \frac{E}{2Tf_s} \quad (2.1)$$

Burada E hata sayısını, T hata sayımının yapıldığı toplam süreyi, f_s ise örnekleme frekansını gösterir (Kester 2004)

2.2.2.B En büyük örnekleme oranı (EÖO)-Maximum sampling rate

A/S dönüştürücüler yapıları gereği girişlerindeki analog işareti sayısala çevirirken belirli bir zaman geçmesi gerekir ve bu süre içerisinde sisteme başka bir örnek gelmemesi gerekir. Bu süre paralel A/S dönüştürücülerde sayısal kodun çıkması için gereken süre değil de karşılaştırmacının karar vermesi için gereken süredir, çünkü bu mimaride kodlar daima çıkışta eş zamanlı oluşurlar. A/S dönüştürücünün örnekleme frekansı yapıldığı mimariye göre değişim gösterir, yarı paralel mimaride katların sayısı arttıkça bu süre uzar çünkü dönüşümün tamamlanabilmesi için bir katın

çıkışından hata işareti üretmek gerekir ve kat sayısı arttıkça bu süre uzamaktadır. Genel olarak en büyük örnekleme oranı ifadesi Nyquist oranı çalışmadaki SNR değerindeki 3-dB' lik azalmanın olduğu frekans değeridir, bu da etkin bit sayısında 0.5 bitlik bir azalmaya karşılık gelir (Tangel 1999).

Bazı durumlarda en büyük örnekleme oranının bit hata oranına dağılı olacağını söylemiştik. Bu durumda en büyük örnekleme frekansı aşağıdaki ifade ile elde edilir (Van De Plassche 2003). 2.1 numaralı denklem ile elde edilen BER değeri 2.2' de yerine konulursa en büyük örnekleme frekansını bulmuş oluruz. Ancak bu çalışmada, gelinen aşamada tümdevre üretilmediği ve bu testi yapabilecek donanım elde bulunmadığı için BER hesaplaması yapmak mümkün olamamıştır.

$$f_{enbüyükörnekleme} = \frac{BirSaniyedekiHata}{BitHataOranı} \quad (2.2)$$

2.2.2.C İşaret gürültü oranı (SNR-Signal to Noise Ratio)

Bu olgu A/S dönüştürücünün en belirgin özelliğidir ve içinde çözünürlük, doğrusallık, gürültü, iğne gürültüsü (glitch) ve oturma zamanı olgularını barındırır (Van De Plassche 2003).

Çözünürlük, adından da anlaşılacağı üzere A/S veya A/S dönüştürücünün çözebildiği en küçük gerilim veya akımı tanımlamak için kullanılır. Teorik limit, dönüştürücü içinde kullanılan sonlu bit sayısından kaynaklanan nicemleme gürültüsüdür (Chen 2000). Dönüştürücünün giriş adımları küçüldükçe çözünürlük artar ve dolayısıyla nicemleme gürültüsü azalır. N-bit bir A/S dönüştürücüde uygun aralıktaki sürekli analog işaret 2^N kodla ifade edilebilir. İşaret gürültü oranı girişteki en büyük işaretin gücünün ilişkisiz band içi gürültünün gücüne oranı olarak tanımlanır. İdeal N bit bir dönüştürücünün IGO değeri yaklaşık olarak aşağıdaki ifade ile bulunabilir (Chen 2000).

$$IGO = 1.5 \times 2^{2N} \approx 6.02N + 1.76(dB) \quad (2.3)$$

Dönüştürücünün gürültü karşısındaki gerçek davranışına “işaret gürültü ve bozulma oranı (SNDR) ” ifadesi daha iyi bir açıklama getirmektedir. Bu ifade işaret gücünün harmonik bozulmayı da içeren toplam band içi gürültüye oranıdır (Chen 2000).

Uygulamada çözünürlük sadece nicemleme gürültüsü tarafından belirlenmez; devre elemanlarından kaynaklanan doğrusal olmayan gürültü, güç kaynağı bağlantısı, gürültülü taban, zamanlama kayması, oturma zamanı gibi etkenler de çözünürlük üzerinde istenmeyen etkiye sahip olgulardır.

Çözünürlüğe başka bir tanımı “etkin bit sayısı (ENOB) ” kavramı ile getirmek mümkündür. ENOB’ yi aşağıdaki eşitlikle ifade etmek mümkündür. EBS, genelde giriş işaret frekansı örnekleme frekansının yarısı yapılarak elde edilir (Chen 2000).

$$EBS = \frac{IGBO - 1.76}{6.02} bit \quad (2.4)$$

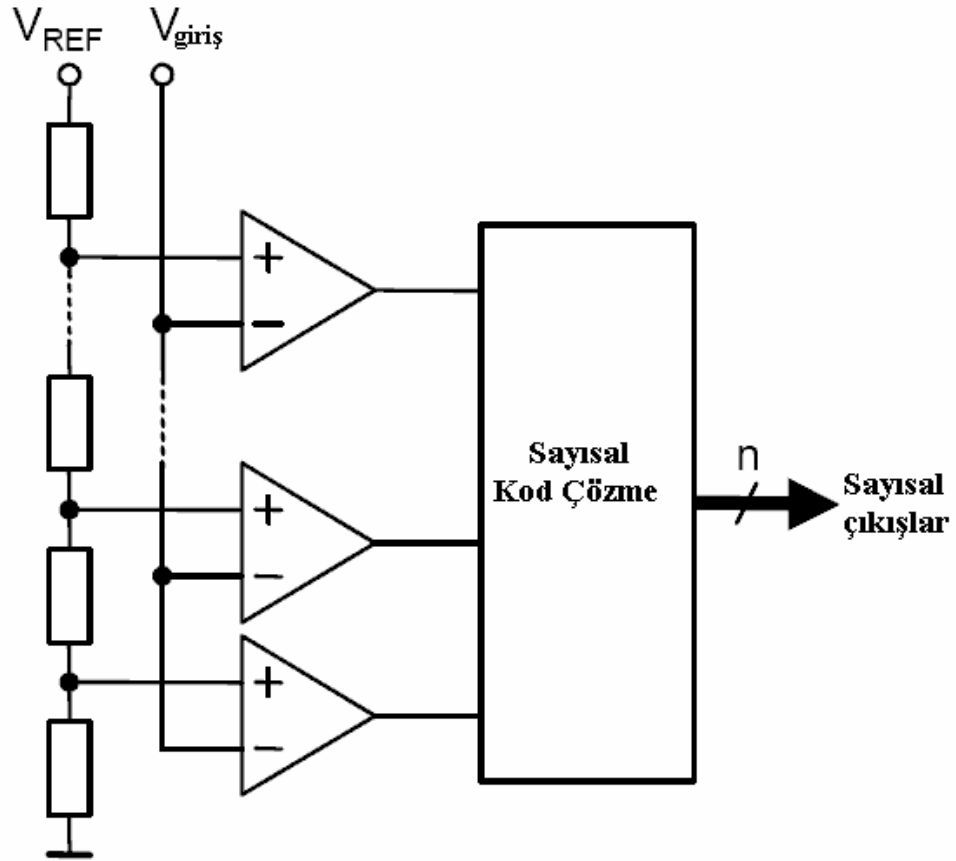
2.3 Yüksek Hızlı Analog Sayısal Dönüştürücü Mimarileri

2.3.1 Giriş

2.3.2 Paralel A/S dönüştürücüler

Paralel A/S dönüştürücüler en hızlı A/S dönüştürücü türleridirler ve çok sayıda (2^{N-1}) karşılaştırmacı kullanırlar.

Her karşılaştırmacı direnç dizisinden kendine özgü bir referans gerilim değeri alır ve bu değer komşu karşılaştırmacınıninkinden 1 LSB kadar büyük veya küçüktür. Bir giriş gerilimi verildiğinde referans gerilimi bu değerden büyük olan karşılaştırmacılar çıkışlarında mantıksal “0”, referans gerilimi girişlerindeki gerilimden küçük olanlar ise çıkışlarında mantıksal “1” verirler. Bu durum tıpkı bir civa termometreye benzemektedir ve elde edilen bu kod yapısı *termometre kodu* olarak da adlandırılır. Bu kod çıkışı pratikte uygulanabilir olmadığından daha sonra kod çözücü tarafından N bitlik ikili sayıya dönüştürülür.



Şekil 2.7 Paralel A/S dönüştürücünün genel bir gösterimi

Giriş işareti bütün karşılaştırıcılara aynı anda uygulanır dolayısı ile termometre kodu bir kapı gecikmesi sonunda elde edilir. Kodlayıcının sayısal kodu üretmesi de birkaç kapı gecikmesi sürer yani dönüştürme işlemi çok hızlı gerçekleşir. Yine de mimari çok sayıda karşılaştırıcı ve direnç kullanır, yüksek hızlarda çalışma sağlayabilmek için ise karşılaştırıcıların yüksek güç çekmesi gerekir. Bütün bu dezavantajlar sistemin düşük çözünürlüklerde kalmasına neden olur.

Sonuç olarak paralel A/S dönüştürücülerin sorunları kısıtlı çözünürlük, karşılaştırıcıların yüksek frekanstaki güç tüketimi ve göreceli olarak büyük pul alanı kaplamasıdır. Ek olarak referans gerilimini üreten direnç dizisinin küçük tutulması gerekir. Bu sayede karşılaştırıcılar yüksek frekansta çalışmalarını sağlayacak akımı çekebilirler ki bu akım 10 mA gibi büyük değerlere ulaşabilir (Kester 2004). Pratikte 10 bit çözünürlüğe sahip paralel A/S dönüştürücüler bulunmaktadır fakat daha çok 8-

bite kadar olan çözünürlüklerdedirler. Örnekleme oranları 1GHz'e kadar çıkabilmektedir, giriş band genişlikleri 300 MHz civarındadır.

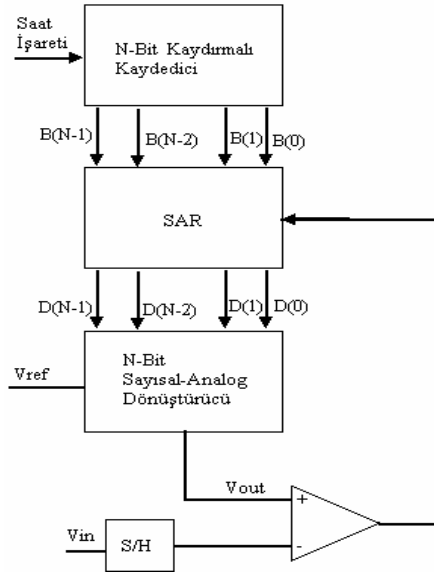
Pratikte karşılaştırıcılar arasında gecikme değişimleri oluşmaktadır ve yüksek frekanslarda etkin bit sayısını düşüren ac uyumsuzluklar vardır. Bunun nedeni karşılaştırıcıların dönüştürme zamanına yakın frekansta bir giriş işaretinin uygulanmasıdır. Bu nedenle yüksek SFDR elde edebilmek için paralel A/S dönüştürücülerin girişlerinde örnekleme ve tutma devreleri kullanılması gerekir.

Paralel A/S dönüştürücülerde giriş işareti bütün karşılaştırıcılara aynı anda uygulanır. Her bir karşılaştırıcının girişinde gerilime bağlı değişen bir eklem kapasitesi vardır. Bu gerilime bağlı kapasite yüzünden etkin bit sayısında azalma olur ve frekans yükseldikçe bozulma artar. Bu yüzden A/S dönüştürücülerin girişlerine yüksek kapasitif yükleri sürebilen ve yüksek band genişliğine sahip tampon devreler konulmalıdır.

Karşılaştırıcıların yarı kararlı çalışması paralel A/S dönüştürücünün *BER* değerini artırabilir. Bu tip karşılaştırıcı hatalarının üstesinden gelebilmek için geliştirilen yöntemlerden bir tanesi sayısal kodu GRAY koduna dönüştürmektir. Bu yöntemin avantajı karşılaştırıcılarda oluşabilecek herhangi bir yarıkararlılık durumunda en fazla 1LSB' lik hata olmasıdır (Kester 2004).

2.3.3 Ardışıl Yaklaşımlı A/S Dönüştürücüler

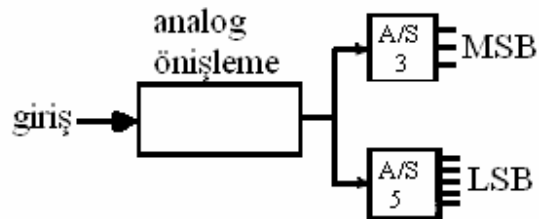
Bu tip analog sayısal dönüştürücüler veri toplama (Data Acquisition) işlemlerinde çok fazla tercih edilmektedirler. Son yıllarda sağlanan gelişmeler bu A/S dönüştürücülerini MHz' ler seviyesinde örnekleme yapabilecek konuma getirmiştir (Kester 2004). Temel ardışıl yaklaşım A/S dönüştürücü yapısı Şekil 2.8' de görülmektedir.



Şekil 2.8 Temel ardışıl yaklaşımlı A/S dönüştürücü yapısı

2.3.4 Katlamalı(Folding) A/S dönüştürücü

Katlamalı analog-sayısal dönüştürücü, tipik paralel A/S dönüştürücü için gerekli olan 2^N-1 adet karşılaştırıcı sayısını azaltmak için kullanılır. Giriş iki paralel yola ayrılır. Birinci yolda giriş işareti 2^{N1} kaba değere bölünür. İkinci yol ise giriş işaretini alarak bir ön işlemeden geçirerek 2^{N2} ince değere bölünür. Burada ihtiyaç olan karşılaştırıcı sayısı $2^{N1+N2}-1$ 'dir. Temel katlama-aradeğerleme sisteminin yapısı Şekil 2.9' da görülmektedir. (Choe et al. 2001, Van Valburg and Van De Plassche 1992, Van Den Grift et al. 1987, Nauta and Venes 1995, Vorenkamp and Roovers 1997, Flynn and Allstot 1996, Ventes and Van De Plassche 1996, Flynn and Sheahan 1998)



Şekil 2.9 Katlama-aradeğerleme yönteminin temel görünümü

Bu yapının avantajı hem güç tüketiminin hem de pul alanının paralel A/S dönüştürücülerden çok daha az olmasıdır. Kaba ve hassas dönüşümleri yapan analog-sayısal dönüştürücüler paralel A/S dönüştürücü olduğu için hız aynıdır fakat burada da iki önemli problem vardır. Bunlardan birincisi katlama nedeniyle işaret frekansının da artmasıdır. İkinci problem ise gerekli referans gerilim aralıklarında çalışan iyi bir ince dönüştürücüye ihtiyaç duyulmasıdır. Birinci problem katlama karakteristiği kullanılarak hafifletilir. İkinci problem ise yaklaşık genlik miktarı çoklanarak ihmal edilmeye çalışılır. Bu çoklama işlemi karşılaştırmalı sayısını azaltır ve bu yüzden bu tür analog-sayısal dönüştürücüler katlamalı ya da aradeğerlemeli A/S dönüştürücü olarak isimlendirilir (Flynn and Allstot 1996, Nauto and Venes 1995, Venes and Van de Plassche 1996).

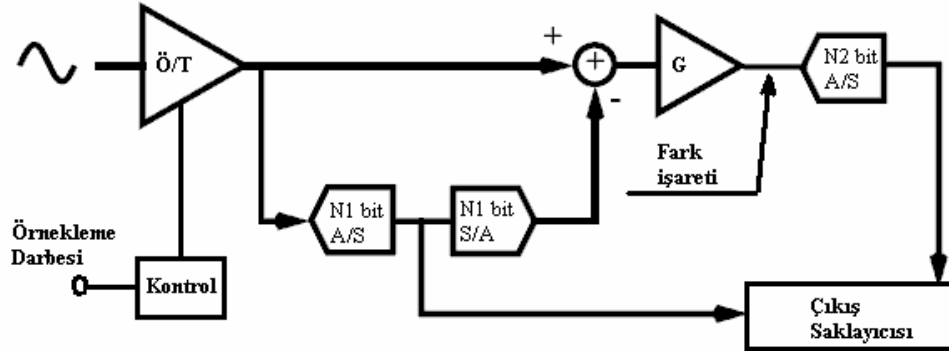
2.4.5 İki adımlı, hata düzeltmeli ve boru tipi A/S dönüştürücüler

Temel N-bit iki adımlı A/S dönüştürücü Şekil 2.10' da görülmektedir (Dingwall and Zazzu 1998, Petschacher et al. 1990, Yotsuyanagi et al. 1995, Ito et al. 1994, Brandt and Lutsky 1999, Taft and Tursi 2001, Mulder et al. 2004). Bu yapının sayısal hata düzeltme algoritmaları da kullanılarak çoklanması ile boru tipi A/S dönüştürücüler elde edilir ve bu yapılar da çok yüksek hızlara çıkabilirler (Pan et al. 2000, Abo et al. 1999, Liu et al. 2004, Chuang and Sculley 2002, Kwak et al. 1997, Siragus and Galton 2004, Chiu et al. 2004).

A/S dönüştürücünün temeli iki ayrı dönüşüme dayanır, birisi kaba dönüşüm ikincisi ise hassas dönüşümdür. Dönüşüm işlemi örnekleme-tutma öbeği tutma konumunda iken başlar ve N1 bitlik A/S dönüştürücünün dönüştürme işlemi ile devam eder.

Kaba dönüştürücünün çıkışları N1 bitlik A/S dönüştürücüyü sürer ve giriş işaretinin kabaca nicemlenmiş kopyası elde edilir. N1 bitlik A/S dönüştürücünün çıkışı tutulmuş işaretten çıkartılır. Çıkarma işlemi sonunda elde edilen işaret kuvvetlendirilir ve N2 bitlik hassas A/S dönüştürücüye uygulanır. Kuvvetlendirici G (2^{N1}) kazancına sahiptir öyle ki çıkışındaki işaret hassas A/S dönüştürücünün aralığı ile birebir örtüşür. Son olarak her iki kattan alınan N1 ve N2 uzunluğundaki kodlar

$N=N_1+N_2$ bitlik sayısal çıkışı vermek için çıkış saklayıcısında tutulur.



Şekil 2.10 Temel N bitlik iki adımlı A/S dönüştürücünün öbek gösterimi

Bu basit iki adımlı A/S dönüştürücü mimarisinin tatmin edici bir şekilde çalışabilmesi için N_1 bitlik A/S ve A/S dönüştürücülerinin N bit doğruluktan daha iyi çalışması gerekir. Fark işaretinin ofset ve kazancı N_2 bitlik A/S' dönüştürücünün analog aralığı ile örtüşecek şekilde ayarlanmalıdır. Eğer fark işareti 1 LSB' den fazla kayarsa kod kayıpları oluşacaktır. N_1 A/S dönüştürücüsündeki 1 LSB' lik kayma gene kod kaybına neden olacaktır. Pratikte kod kayıplarını engellemek için N_1 ve N_2 değerleri 4 ile sınırlandırılmışlardır. Başarılı bir biçimde kayıpsız kodlar elde edilmek istenirse "Sayısal Hata Düzeltme" yöntemine başvurulur. Bu yöntem temel olarak hassas A/S dönüştürücüye ek nicemleme seviyeleri eklenmesi ile mümkün olur. Literatürde bu yöntemi kullanan pek çok tasarım vardır (Kester 2004, Choe et al. 2001, Tsukamoto et al. 1998, Mangelsdorf 1990, Chuang and Sculley 2002).

2.4 A/S Dönüştürücülerde Yaygın Olarak Kullanılan Karşılaştırmalı Yapıları

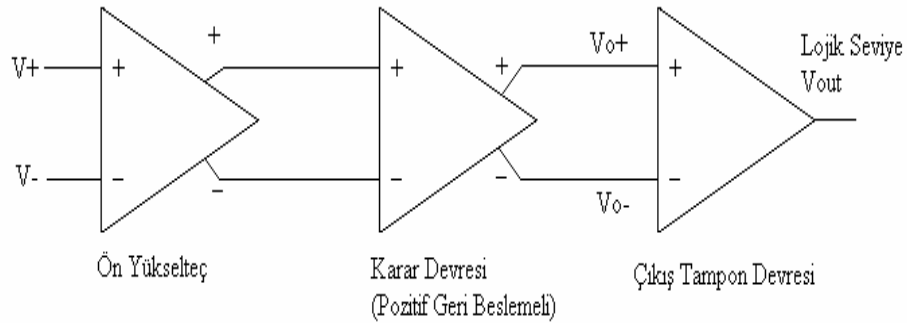
Karşılaştırmalıların A/S dönüştürücü içerisinde nasıl çalıştığından önceki bölümlerde bahsetmiştik. Basit bir işlemsel kuvvetlendirici düşük frekanslarda karşılaştırmalı olarak kullanılabilir fakat bu devreler karşılaştırmalı olarak düşünülmemişlerdir, hızları düşüktür ve pul içinde nispeten büyük bir alanı kapladıkları için çok tercih edilmezler. Geçici durum tepkisi, ofset gerilimi ve duyarlılık gibi özellikler karşılaştırmalının diğer özelliklerinden daha önemlidir (Tangel 1999). Yüksek

performanslı bir karşılaştırıcı yapısı Şekil 2.11’de gösterilmiştir (Baker et all 1998). Birkaç farklı tür karşılaştırıcı mimarisi olmasına karşın, tam diferansiyel tutucu (clock comparator-fully differential latch) ve dinamik(auto-zero comparator) karşılaştırıcı analog-sayısal dönüştürücülerde en sık kullanılan karşılaştırıcı yapılarıdır (Tangel 1999).

2.4.1 Tam diferansiyel tutucu tipi karşılaştırıcı

Bu tip karşılaştırıcılar farklı yöntemlerle gerçekleştirilebilir. Birçok çalışmada bu farklı yöntemlere göre farklı yapılar kullanılmıştır. Şekil 2.11’de bu tip bir yapı gösterilmiştir(Baker et all 1998) aynı yapının transistör seviyesinde bir görünümü de Şekil 2.12’ de verilmiştir.

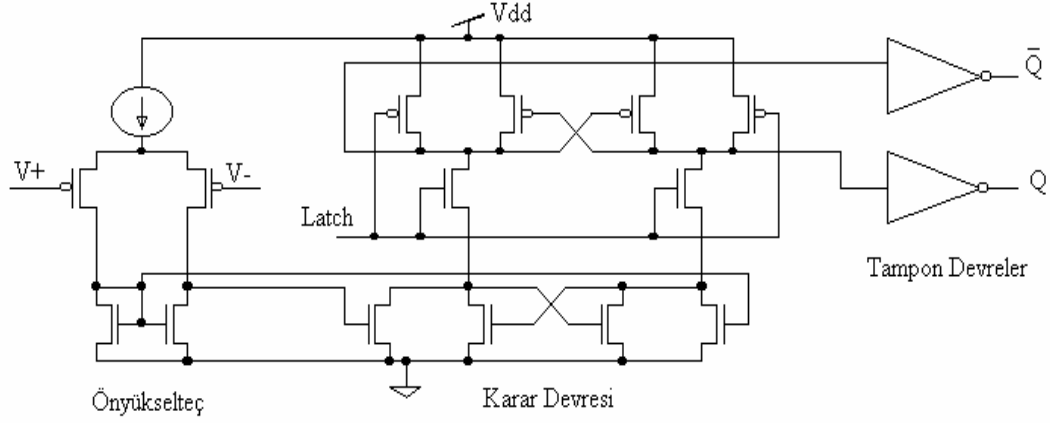
Bu devrede pozitif geri beslemeden kaynaklanan anahtarlama gürültülerini karşılaştırıcı girişinde yok etmek için ve giriş işaretinin duyarlılığını artırmak için giriş fark yükselteci katından önce bir ön yükselteç devresi kullanılmıştır (Baker et all 1998).



Şekil 2.11 Gerilim Karşılaştırıcının Blok Şeması.

Karar devresi, oldukça iyi bilinen çapraz bağlı pozitif geri beslemeli evirici devresi sayesinde giriş sinyalinin büyük olup olmadığına karar veren devredir. Tutucu işareti yüksek seviyede olduğu zaman, eğer tutucu işareti yeniden işaret üretmeye başlar ise, ön yükselteç katı karar devresinde bir dengesizlik meydana getirir. Tutucu işareti düşük seviyede ise, devrenin merkezinde yer alan N-MOS’ lar eviricilerin P-tarafı ve

N-terafı arasında yalıtım görevi üstlenir. Karar devresinin her iki çıkışı da mantıksal “1” e zorlanır, bunun sonucunda karşılaştırıcı çıkışları da mantıksal sıfır olur.



Şekil 2.12 Tam Diferansiyel Tutucu Tipi Karşılaştırıcı.

Bu devrenin dezavantajları şunlardır;

1. Duyarlılığı artırmak ve ofset hatasını azaltmak için büyük giriş transistörlerine ihtiyaç vardır.
2. DC öngerilimleme gerekmektedir.
3. İşareti kendiliğinden tekrar oluşturma işlemi esnasında metastable olma olasılığı vardır. Bu da dönüştürücünün bit hata hızını (BER) artırır.

2.4.2 Devinik (Auto-Zero) karşılaştırıcı

Tek çıkışlı yapılar olmalarından dolayı bu yapılar taban malzemeye ve güç kaynağı gürültüsüne karşı hassastırlar. Devinik karşılaştırıcılar kendi içlerinde örnekleme-tutma yapabilmeleri ve otomatik dengeleme iptali özelliklerinden dolayı düşük çözünürlüklü CMOS A/S dönüştürücü tasarımlarında tercih edilir (Van de Plassche 2003). Şekil 2.13’ de basit bir dinamik karşılaştırıcı şeması gösterilmiştir (Brianti et all 1998, Fujita et all 1984).

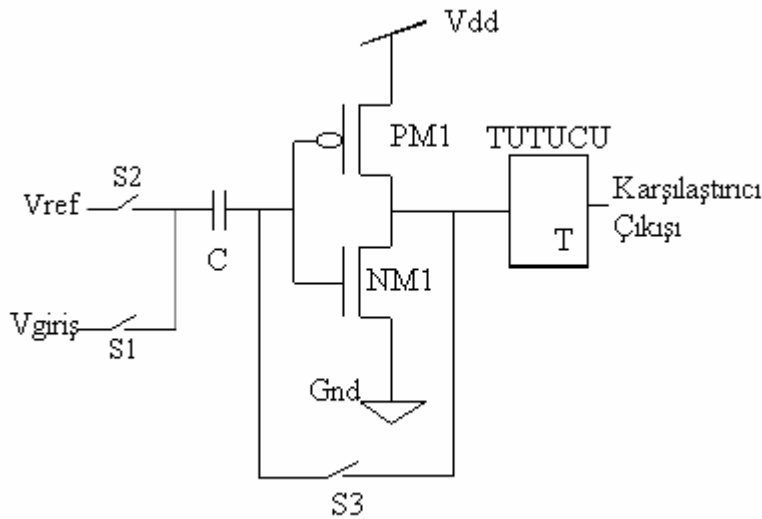
Bu devrenin çalışması kısaca özetlenirse;

Faz 1: S1 ve S3 anahtarı kapalı iken, evirici devresi gerilim geçiş eğrisinin doğrusal bölgesinde (DC öngerilim $V_{out}=V_{in}=V_{dd}/2$) çalışmaya zorlanır. Bu faz boyunca kapasite $V_{in}-V_{dd}/2$ gerilim değerine şarj olur. Bu faza örnekleme fazı denir.

Faz 2: S1 ve S3 açık, fakat S2 anahtarı kapalıdır. Evirici girişindeki yüksek empedanstan dolayı yük tutulur. Böylece evirici doğrusal bölgede çalışmaya devam eder. Evirici bu bölgede $V_{REF}-V_{IN}$ gerilim farkını yükselten eviren yükselteç olarak çalışır. Fark gerilimin polaritesine göre çıkış mantıksal “0” ya da “1” durumunda olacaktır. Bu faza karşılaştırma fazı denir.

Bu devrenin dezavantajları şunlardır:

1. Tek çıkışlı yapıya sahiptir.
2. Yüksek doğruluk için büyük analog anahtar boyutları gerektirmektedir.
3. Kazançları düşük olduğundan yüksek çözünürlüklerde kullanılamazlar.



Şekil 2.13. Temel Devirik CMOS Karşılaştırıcı Devresi.

İdeal olmayan analog anahtarlardan dolayı yük enjeksiyonu devredeki diğer hata kaynağı olabilir (Tangel 1999). Bu sorunu gidermek için üç saat işareti fazlı iki

bölümlü dinamik karşılaştırıcı geliştirilmiştir (Van de Plassche 2003).

Bu yolla tek bir birimin düşük kazancı iyileştirilmiş, yüksek çözünürlüklü tasarımlara uygun hale getirilmiştir.

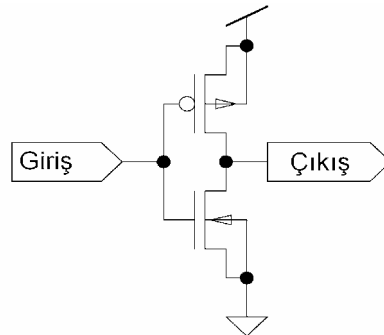
BÖLÜM 3: EEN FELSEFESİ

3.1 Giriş

EEN yaklaşımı (TANGEL 1999) tarafından ilk olarak Threshold Inverter Quantization kısaca *TIQ* yani Türkçe’ye çevrilirse Evirici Eşik Nicemleme olarak literatüre geçmiştir, henüz çok yeni bir yöntem olduğundan bu alanda yapılmış çok fazla indeks yayını yoktur (Tangel and Choi 2004, YOO et al: Sep 2001, Yoo et al. April 2001). Taşıdığı anlam bakımından yöntemi Evirici Eşiği Temelli Nicemleme, yani kısaca *EEN* olarak ifade etmek doğru bir yaklaşım olacaktır. EEN tekniğinde analog sayısal dönüşüm işleminin temeli olan referans gerilimler üretilmektedir (Tangel and Choi 2004). Bu gerilimler üretilirken eşlenik metal oksit yarı iletken (CMOS) yönteminin temel birimi olan eviricinin gerilim geçiş karakteristiğinden faydalanılmaktadır. Bu yöntemin daha iyi anlaşılabilmesi için önce CMOS eviriciyi incelemek gerekecektir.

3.2 CMOS Evirici

CMOS evirici sayısal elektronik uygulamalarında değil “NOT” işlemini gerçekleştiren mantık kapısıdır. Bu çalışmada ise eviricinin bu özelliği küçük işaretler bakımından irdelenerek EEN felsefesi gerçekleştirilmeye çalışılmıştır. Şekil 3.1’de temel CMOS evirici devresi görülmektedir. Şekilden de anlaşılacağı gibi bu yapı bir P tipi bir de N tipi MOS transistörden oluşmaktadır.



Şekil 3.1 Temel CMOS evirici devresi

N-MOS ve P-MOS için doyum ve doğrusal bölge olmak üzere iki ayrı akım denklemi yazmak mümkündür. Bu denklemleri yazacak olursak;N-MOS için,

$$i_{DN} = k'_n \left(\frac{W}{L} \right) \left[(v_I - V_m)v_O - \frac{1}{2}v_O^2 \right] \Rightarrow v_O \leq v_I - V_m \quad (3.1)$$

$$i_{DN} = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (v_I - V_m)^2 \Rightarrow v_O \geq v_I - V_m \quad (3.2)$$

P-MOS için,

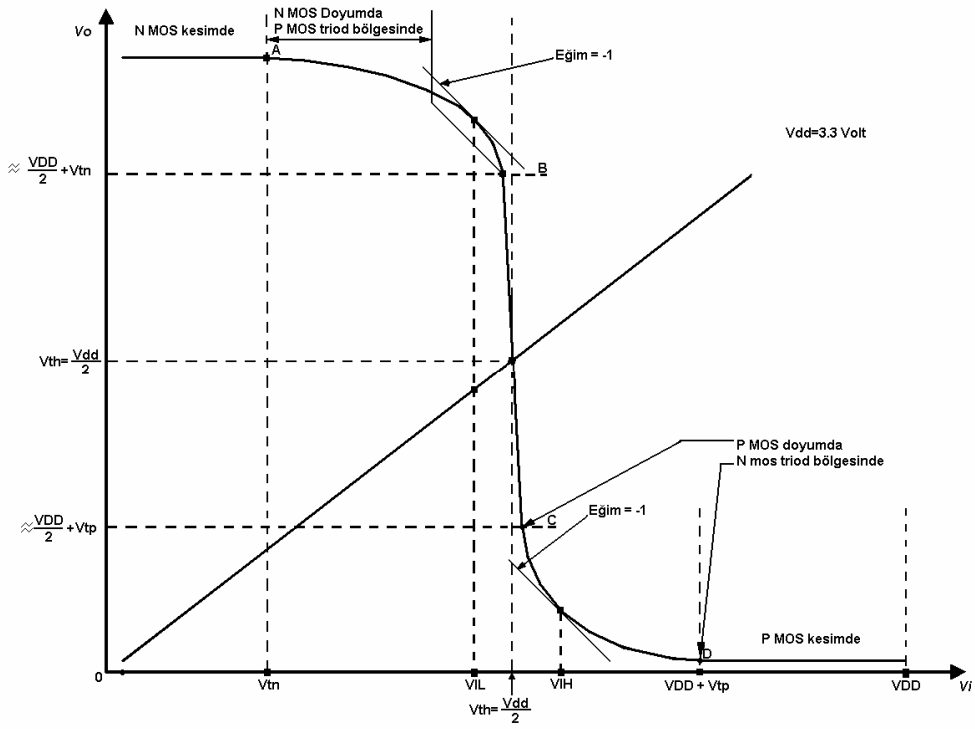
$$i_{DP} = k'_p \left(\frac{W}{L} \right) \left[(V_{DD} - v_I - |V_{tp}|)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2 \right] \Rightarrow v_O \geq v_I - V_{tp} \quad (3.3)$$

$$i_{DP} = \frac{1}{2} k'_p \left(\frac{W}{L} \right) (V_{DD} - v_I - |V_{tp}|)^2 \Rightarrow v_O \leq v_I - V_{tp} \quad (3.4)$$

P kanallı transistörlerde taşıyıcıların hızı N kanallı transistörlere oranla yaklaşık üç kat daha küçüktür ($\frac{\mu_n}{\mu_p} \approx 3$). Eğer $\frac{W_P}{W_N} = \frac{\mu_n}{\mu_p}$ seçilirse, $k'_n \left(\frac{W}{L} \right)_N = k'_p \left(\frac{W}{L} \right)_P$ olur. Bu özellikteki transistörlerden oluşan bir eviricinin gerilim geçiş davranışı Şekil 3.2' de gösterilmiştir. Bu şekliden de görüleceği gibi yukarıdaki özelliklere sahip transistörlerden oluşan bir eviricinin girişi ile çıkışını kısa devre ettiğimizde çıkışta $V_{DD}/2$ gerilimini görürüz.

Şekil 3.2' de 5 önemli nokta vardır, bunlar A, B, C, D ve giriş ve çıkış eğrilerinin kesişim noktası olan $\frac{V_{DD}}{2}$ noktasıdır. B-C arasında her iki transistör de doyumdadır.

Girişte izin verilen en küçük mantıksal “bir” (V_{IH}) ve en büyük mantıksal “sıfır” (V_{IL}) kavramlarından bahsedelim. Bu kavramlar bizi evirici gürültü payı olgusuna götürmektedir (Sedra and Smith 2001). Bu noktalar biçimsel olarak Şekil 3.2 üzerinde görülebilir. Bu noktalar basit olarak gerilim geçiş eğrisinde gerilim kazancının 1' e eşit olduğu noktalardır (Eğim = -1).



Şekil 3.2 Evirici gerilim geçiş eğrisi

V_{IH} ve V_{IL} değerlerini sırasıyla elde edelim,

Şekil 3.2' den görüldüğü gibi V_{IH} noktasında NMOS doğrusal bölgede PMOS ise doyumda çalışmaktadır, bu noktadaki akım denklemlerini yazıp birbirine eşitlersek ve her iki tarafında türevini alırsak elde edeceğimiz eşitlikten V_{IH} değerini elde edebiliriz,

$$(v_i - V_t)v_o - \frac{1}{2}v_o^2 = \frac{1}{2}(V_{DD} - v_i - V_t)^2 \quad (3.5)$$

Her iki tarafın v_i 'ya göre türevini alırsak,

$$(v_i - V_t)\frac{dv_o}{dv_i} + v_o - v_o\frac{dv_o}{dv_i} = -(V_{DD} - v_i - V_t), \text{ ifadesini elde ederiz,}$$

$$v_i = V_{IH} - \frac{V_{DD}}{2} \text{ ve } \frac{dv_o}{dv_i} = -1 \text{ yazarsak aşağıdaki eşitliği elde ederiz.}$$

$$v_o = V_{IH} - \frac{V_{DD}}{2} \quad (3.6)$$

Denklem 3.5' de $v_i = V_{IH}$ ve (3.6)' daki v_o ifadesini yerine koyarsak aşağıdaki eşitliği elde ederiz.

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \quad (3.7)$$

V_{IL} değerini de benzer yolla bulabiliriz ancak basitçe simetri özelliğini kullanırsak,

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}, \text{ şeklinde bir ifade karşımıza çıkar ve bu ifadeyi denklem (3.7)}$$

ile birleştirirsek aşağıdaki eşitliği elde ederiz.

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \quad (3.8)$$

Bu denklemleri elde ettikten sonra gürültü payını aşağıdaki şekilde elde etmemiz mümkün olur,

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \\ &= V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t) \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \quad (3.9)$$

$$\begin{aligned} NM_L &= V_{IL} - V_{OL} \\ &= \frac{1}{8}(3V_{DD} + 2V_t) - 0 \\ &= \frac{1}{8}(3V_{DD} + 2V_t) \end{aligned} \quad (3.10)$$

Beklendiği gibi transistörler uyumlu olduğunda gürültü payları birbirine eşit oluyor, eğer bunun aksi olsaydı gerilim geçiş eğrisinde bir simetriden söz etmemiz mümkün olamazdı.

Yukarıda metal oksit yarıiletken transistörlerin temel çalışma koşullarından ve temel evirici özelliklerinden bahsettik ve şimdi de biraz bu çalışmanın temel felsefesi olan nicemleme (quantization) işleminin nasıl yapıldığından bahsedelim.

Bilindiği gibi analog sayısal dönüştürücülerde iki ana yapı vardır; bunlardan birincisi nicemleyici ve ikincisi de kodlayıcıdır.

Nicemleyici yapısı karşılaştırmacıdan oluşur ve bu karşılaştırmacıların her birinin bir eşik seviyesi vardır. Herhangi bir karşılaştırmacının girişindeki analog işaret o karşılaştırmacının eşik değerini aşarsa karşılaştırmacı bir çıkış üretir ve bu çıkış bir nicemleme seviyesine karşılık düşer ve daha sonra sayısal çıkışı üretmek üzere kodlayıcıya iletilir.

Bu çalışmanın özü nicemleyici içerisinde kullanılan ve daha çok yeni olan, kısaca EEN olarak ifade ettiğimiz “*evirici eşiği temelli nicemleme*” yöntemine dayalı bir karşılaştırmacı yapısına sahip olmasıdır. Bu yapı kaskat bağlanmış iki eviriciden oluşur ve nicemleme seviyesi yaklaşık olarak aşağıda açıklanan ifade ile elde edilir. Yaklaşık olarak elde edilir çünkü ikinci seviye model parametreleri kullanılarak elde edilmiş bir ifadedir. El hesaplamasında yaratacağı zorluk nedeniyle bu yola başvurulmuştur. Fiziksel uygulamada BSIM 3v3 model parametreleri ve gelilmiş bir EDA yazılımı olan Cadence IC 5.0.32 tüm devre tasarımı paket programı kullanılmıştır. Tüm bu anlatılanların ışığında nicemleyicinin eşik bölgesinde transistörlerin doyumda olduğu kabul edilirse, eşik değerini hesaplarken denklem 3.2 ve 3.4 kullanılabilir. Bu iki ifade birbirine eşitlenirse,

$$i_{DN} = i_{DP},$$

$$\frac{1}{2}k'_n\left(\frac{W}{L}\right)(v_I - V_{tn})^2 = \frac{1}{2}k'_p\left(\frac{W}{L}\right)(V_{DD} - v_I - |V_{tp}|)^2$$

$$(V_{th} - V_{tn}) \sqrt{\left(\frac{k'_n W}{2 L}\right)_n} = (V_{DD} - V_{th} - |V_{tp}|) \sqrt{\left(\frac{k'_p W}{2 L}\right)_p}$$

$$V_{th} - V_{tn} = \left(\frac{\left(\frac{k'_p W}{L}\right)_p}{\left(\frac{k'_n W}{L}\right)_n} \right) (V_{DD} - V_{th} - |V_{tp}|) , \left(\frac{\left(\frac{k'_p W}{L}\right)_p}{\left(\frac{k'_n W}{L}\right)_n} \right) = r \text{ yazılırsa,}$$

$V_{th}(1 + r) = r(V_{DD} - |V_{tp}|) + V_{tn}$, elde edilir. Bu ifade uygun şekilde düzenlenirse aşağıdaki sonuca ulaşılabilir,

$$V_{th} = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{1 + r} \quad (3.11)$$

Bu ifade ile nicemleyici yapısına teorik bir açıklık getirilmeye çalışılmıştır. Sonuç olarak bu yöntem paralel A/S dönüştürücü mimarisindeki karşılaştırmalı yapısına bir alternatif sunduğundan geleneksel karşılaştırmalı yapıları ile yapılan karşılaştırmaların sonuçları (Tangel and Choi 2004)' de kısaca aşağıdaki maddelerle özetlenmiştir.

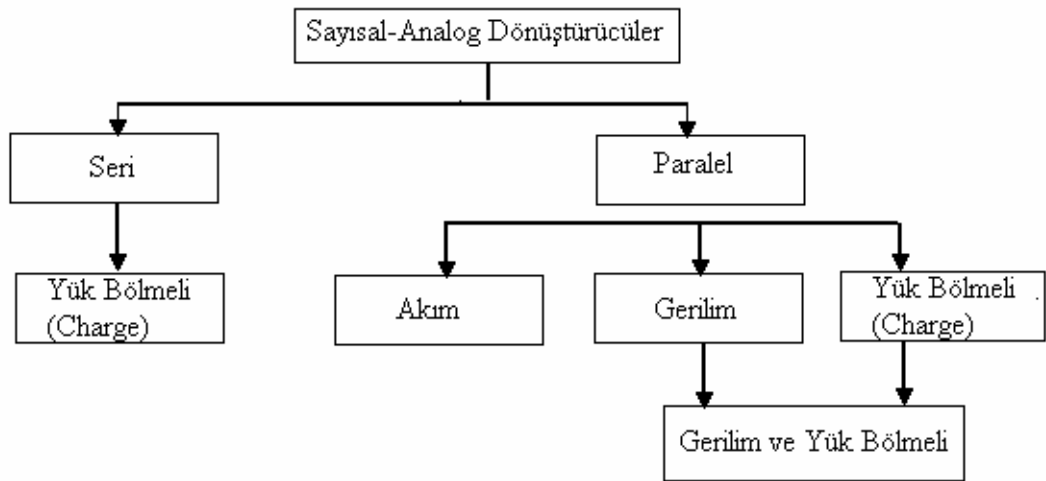
1. Örneklem ve tutma devresi dışarıda tutulduğunda sistemin dc güç tüketimi çok düşüktür. Aktif durumda en kötü ihtimalle sadece 3 evirici geçiş bölgesinde olduğundan (bkz. Şekil 5.16) analog kısım çok düşük güç tüketir. Bu durum sistemi batarya destekli uygulamalar için çekici hale getirir.
2. Eğer girişte örneklem tutma yapısı kullanılırsa sistem daha düşük güç tüketir ve başarımı artar.
3. EEN yöntemi geleneksel yöntemlerdeki direnç dizisi ihtiyacını ortadan kaldırır.
4. Aktif pul alanında gözle görülür bir azalma görülür.
5. Tekdüzelik (Monotonicity) her koşulda sağlanır.

BÖLÜM 4: SAYISAL-ANALOG DÖNÜŞTÜRÜCÜLER

4.1 Giriş

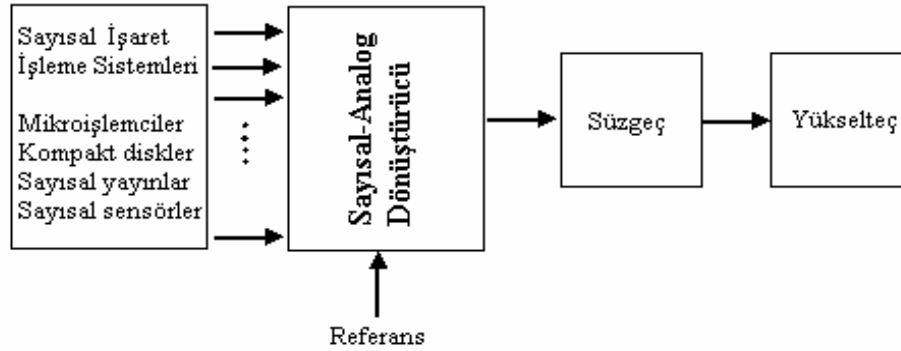
Bu bölümde genel olarak A/S dönüştürücü yapılarından ve bu çalışmada kullandığımız A/S dönüştürücü yapısından bahsedilecektir

Sayısal-Analog dönüştürücü denilince akla gelen ilk şey şüphesiz, sayısal girişi ve analog çıkışı olan bir sistemdir. Literatüre girmiş çok fazla A/S dönüştürücü mimarisi vardır. Özellikle kablosuz haberleşme sistemleri ve video işaret işlemlerinde yüksek hızlı ve yüksek çözünürlüklü sayısal-analog dönüştürücülere ihtiyaç vardır (Van Den Bosch et al. 2001). Bu çalışmada A/S dönüştürücü kullanılmasının nedeni daha önce de bahsedildiği gibi sistemin analogdan sayısal dönüşümü iki adımda gerçekleştirmesidir. Sayısal-Analog dönüştürücüler için de çeşitli sınıflandırmalar mevcuttur.(Allen and Holberg 2002) Şekil 4.1’deki sınıflandırma yapısını önermiştir.



Şekil 4.1 Sayısal-Analog Dönüştürücünün Sınıflandırılması

Şekil 4.2’ de işaret işleme tekniklerinde sayısal-analog dönüştürücülerin genel olarak nasıl kullanıldığı görülmektedir (Gordon 1978) ancak bu çalışmada S/A dönüştürücünün kullanım şekli Şekil 5.2’ de daha somut olarak görülmektedir. Sayısal işaret işleme sistemleri tarafından üretilen bilgiler farklı şekillerde S/A dönüştürücülerin girişine uygulanabilir. Gelen bu işaretler referans gerilimine göre analog işarete dönüştürülür.



Şekil 4.2 A/S dönüştürücünün sayısal sistemlerde kullanımına yönelik genel bir ifade

4.2 S-A dönüştürücülerin durağan karakteristikleri

A/S dönüştürücülerin karakteristikleri aynı A/S dönüştürücülerde olduğu gibi durağan ve devinik karakteristikler olarak ikiye ayrılır. Sayısal-Analog dönüştürücünün çözünürlüğü, uygulama alanında duyulan ihtiyaca göre ve teknolojinin izin verdiği oranda artırılıp azaltılabilir. Bu çalışmada 5-bit çözünürlüğe sahip bir yapı kullanılmıştır. Genel bir ifadeyle A/S dönüştürücünün en değerliksiz bitini eşitlik 4.1 ile ifade edebiliriz.

$$LSB = \frac{V_{REF}}{2^N} \quad (4.1)$$

A/S dönüştürücüler de en değerlikli bitin V_{REF} ’e eşit olması gerekir ancak bunun mümkün olması çok kolay değildir. A/S dönüştürücünün V_{REF} ’ e ulaşabilme yeteneği tüm erim (full scale “FS”) olarak isimlendirilir ve en değerlikli bit ile en değerliksiz bit arasındaki farka eşittir.

$$TümErim(FS) = V_{REF} - LSB = V_{REF} \left(1 - \frac{1}{2^N}\right) \quad (4.2)$$

2. bölümde de değinildiği gibi, doğal analog işaret ile sonlu çözünürlükteki işaret arasındaki fark nicemleme gürültüsü olarak isimlendirilir. Sonlu bit çözünürlükteki S/A dönüştürücü çıkışı ile sonsuz bit çıkışlı sayısal analog dönüştürücünün analog çıkışındaki farktır.

$$rms(nicemlemegürültüsü) = \sqrt{\frac{1}{T} \int_0^T LSB^2 \left(\frac{t}{T} - 0.5\right)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{TEA}{2^N \sqrt{12}} \quad (4.3)$$

A/S dönüştürücünün İGO değeri, nicemleme gürültüsünün etkin gerilim değerinin tüm erim aralığının (TEA) oranına eşittir. Etkin değer (4.3)'da ki gibi bulunur. A/S'ın işaret-gürültü oranı da (4.4)'de ki ifade edilir.

$$IGO = \frac{V_{outrms}}{(FSR / 2^N \sqrt{12})} \quad (4.4)$$

S/A dönüştürücü için de doğrusal olmayan fark, doğrusal olmayan tümlev ve ofset hatalarında bahsetmek mümkündür bunlar tıpkı A/S dönüştürücülerdeki gibi incelenirler.

4.3 S/A dönüştürücülerin devinik karakteristikleri

Sayısal-analog dönüştürücülerin devinik karakteristiklerinden olan yatışma süresi (settling time) analog gerilim ya da akım çıkışının en değersiz bit kodu ile en değerli bit kodu arasında kalan zaman olarak hesaplanır.

Maksimum D/A dönüştürme hızı = 1/ (yatışma süresi) olarak da verilebilir.

Dürtü (Glitch) hatası; sayısal giriş kodunun bir değerinden bir başka değere geçerken analog çıkış işaretinde meydana getirmiş olduğu dürtü hatasıdır. Bu hata sayısal-analog dönüştürücülerde kullanılan analog anahtarların açılıp kapanması arasında meydana gelen gecikmelerden kaynaklanmaktadır.

Yüksek hızlı, minimum eğim zamanlı ve dürtü hatasız S/A dönüştürücü elde etmek için analog anahtar tasarımı önemlidir. Bu çalışmada kullanılan A/S yapısında dürtü hatası gözlenmemiştir çünkü kod değişimlerinde sadece iki kapı konum değiştirmektedir, termometre kodlama yönteminin yararlarından bir tanesi de budur.

Eğer sayısal-analog dönüştürücünün çıkışında örnekle-tut devresi kullanılırsa, örnekleme durumundan tutma durumuna geçerken anahtarların ideal olmamasından kaynaklanan pedestal hatası meydana gelir (Kester 2004). Bu çalışmada S/A dönüştürücü çıkışında örnekleme-tutma devresi kullanılmadığından böyle bir hata ile karşılaşılmamıştır.

Sistem uygulamalarında sayısal-analog dönüştürücünün girişine uygulanan işarette güç tüketiminden veya topraklama gerilimlerinden dolayı gürültüler oluşabilir. Bunlar çıkışın yayılması ya da kapasitif yüklenmesi şeklinde olabilir.

Kazanç, band genişliği ve yetiştirme hızı (slew rate) kullanılan çıkış gerilim izleyici devresi için önemli değişkenlerdir. Bu nedenle A/S dönüştürücü içeren sistemlerde kaliteli işlemsel kuvvetlendirici yapılarına gerek duyulmaktadır.

4.4 Sayısal-Analog Dönüştürücü Türleri

A/S dönüştürücüler için farklı sınıflandırma yöntemleri vardır (Allen and Holberg 2002, Analog Devices 2004). Sayısal-Analog dönüştürücüler dönüştürme süresine veya uygulanan referans geriliminin ikili düzende nasıl bölündüğüne göre sınıflandırılabilir (Allen and Holberg 2002). Şekil 4.1' de böyle bir sınıflandırma yapılmış idi bu doğrultuda tipik bir sayısal-analog dönüştürücü başlıca dört elemandan oluşmaktadır: (A) Lojik devre, (B) Direnç ya da kapasite dizisi, (C) Referans gerilimini veya akımını ya da sayısal bilgiyi devrenin girişine aktaran analog anahtar dizisi, (D) Referans gerilimi.

4.4.1 Paralel sayısal-analog dönüştürücüler

Paralel sayısal-analog dönüştürücüler bütün bitleri aynı anda analog bilgiye

dönüştürürler. Bu yüzden dönüştürme zamanı t zamanında yapılmaktadır. Bu şekilde üç metod vardır: yük bölmeli, gerilim bölmeli ve akım bölmeli. Bu çalışmada kullanılan yöntem gerilim bölmeli A/S dönüştürücü tipindedir.

4.4.1.A Akım bölmeli sayısal-analog dönüştürücüler

Akım bölmeli sayısal-analog dönüştürücüler gelen sayısal bilgiyi referans gerilimine göre ikili-ağırlıklı akıma dönüştürmektedir. Dönüştürülen akım değeri bir işlemsel kuvvetlendirici girişine uygulanarak analog çıkış gerilimi elde edilir. Bu tip A/S dönüştürücü yapısına (Bastiaansen et al. 1991), (Takakura et al. 1991) ve (Van den Bosch et al. 1998) örnekler vermişlerdir.

4.4.1.B Gerilim bölmeli sayısal-analog dönüştürücüler

Gelen sayısal bilgi yardımıyla uygulanan referans gerilimini 2^N gerilime ayarlayarak tek bir analog çıkış veren sayısal-analog dönüştürücülerdir. Gerilim bölmesi genel olarak V_{REF} ile toprak arasında birbirine seri bağlı dirençler yardımı ile bulunur. N bitlik bir dönüştürücü için en az 2^N adet direnç gerekmektedir. Gerilim bölmeli sayısal-analog dönüştürücü yapısı çok düzenlidir ve CMOS teknolojisine uyumludur. Yapılan çalışmada kullanılan yüksek direnç (High Res) teknolojisi sayesinde pul üzerine, çok fazla alan kullanmadan yüksek dirençler yerleştirebilme şansının olması bu tip bir S/A dönüştürücüyü rahatlıkla uygulanabilir yapmaktadır. Daha önce de bahsedildiği gibi yüksek direncin bir olumsuz yönü yatışma zamanını uzatmasıdır, bu yüksek frekanslar için istenmeyen bir durumdur ve bu sorunun giderilmesi ayrı bir çalışma konusudur.

4.4.1.C Yük bölmeli sayısal-analog dönüştürücüler

Yük bölmeli sayısal analog dönüştürücüler, toplam yükü kondansatör dizisi yardımı ile analog bilgiye dönüştürmektedir. Bu yapı oldukça basittir. Bir diğer avantajı ise anahtar-kapasiteli devreler ile uyumlu olmasıdır . Paralel ikili ağırlıklı kapasitelerden oluşan bir sistemde ilk başta kapasiteler yüksüzdür. Daha sonra sayısal bilgi yardımı ile anahtarların açılıp kapanması ile kapasiteler V_{REF} ile toprak arasında gerilim ile dolar. Böylece bunların üzerindeki gerilim bir çıkış gerilimine neden olur ve gerilim kapasiteler arasında bölünür fakat bu yapıda da parazitik kapasite etkileri ve kapasitenin pul içinde kapsadığı alan bu türün en önemli dezavantajıdır. Bu kısımda bahsedilen S/A dönüştürücülerle ilgili bir karşılaştırma Tablo 4.1’ de görülmektedir (Allen and Holberg 2002).

4.4.2 Seri sayısal-analog dönüştürücüler

Seri sayısal-analog dönüştürücülerde dönüştürme işlemi sıra ile yapılmaktadır. 1 bit dönüştürmek için bir saat darbesi gerekir. Dolayısıyla N-bit A/S için N saat darbesi gerekir.

Tablo 4.1. Paralel Sayısal-Analog dönüştürücülerin performans karşılaştırılması.

A/S Türleri	Avantajlar	Dezavantajlar
Akım Bölmeli	Hızlı, Anahtar kapasitelerine karşı duyarsız	Tek düze değil
Gerilim Bölmeli	Tek düze, eşit dirençler	Pul alanı, Parazitik kapasitelere karşı duyarlı
Yük Bölmeli	Hızlı, Doğruluğu iyi	Tek düze değil

Seri S/A dönüştürücüler, seri yük paylaşımli ve seri algoritmik sayısal analog dönüştürücü olmak üzere iki tanedir. Seri yük paylaşımli da bitlerin dönüştürme işlemi en değersiz bitten başlayarak en değerli bitte son bulur. Bu yapı oldukça basit olmasına rağmen parazitik, kapasiteler, anahtarlama kapasiteleri ve referans

geriliminin sınırlandırılması dezavantajlarıdır.

İkinci seri sayısal-analog dönüştürücü ise algoritmik olarak isimlendirilmiştir (Charles and Hodges 1978). Bu tekniğin birinci avantajı kapasite oranlarından bağımsız olmasıdır. En değersiz bit çözünürlüğünü $\pm 0.5LSb$ elde edebilmek için kazancı 0.5 olan bir yükselteç kullanmak gereklidir. Seri A/S olarak verilen yöntemlerin avantaj-dezavantajları Tablo 4.2’ de özetlenmiştir (Allen and Holberg 2002).

Tablo 4.2. Seri Sayısal-Analog Dönüştürücülerin Performans Özeti.

Seri A/S	Avantajı	Dezavantajı
Seri Yük Dağılımlı	Basit, Minimum pul alanı	Yavaş, Dışarıda kompleks bir devreye ihtiyaç duyması, Hassas kapasite oranları
Seri algoritmik	Basit, Minimum pul alanı	Yavaş, Dışarıda kompleks bir devreye ihtiyaç duyması, Hassas kapasite oranları

BÖLÜM 5: SİSTEMİN TASARIMI VE BENZETİMİ

5.1 Giriş

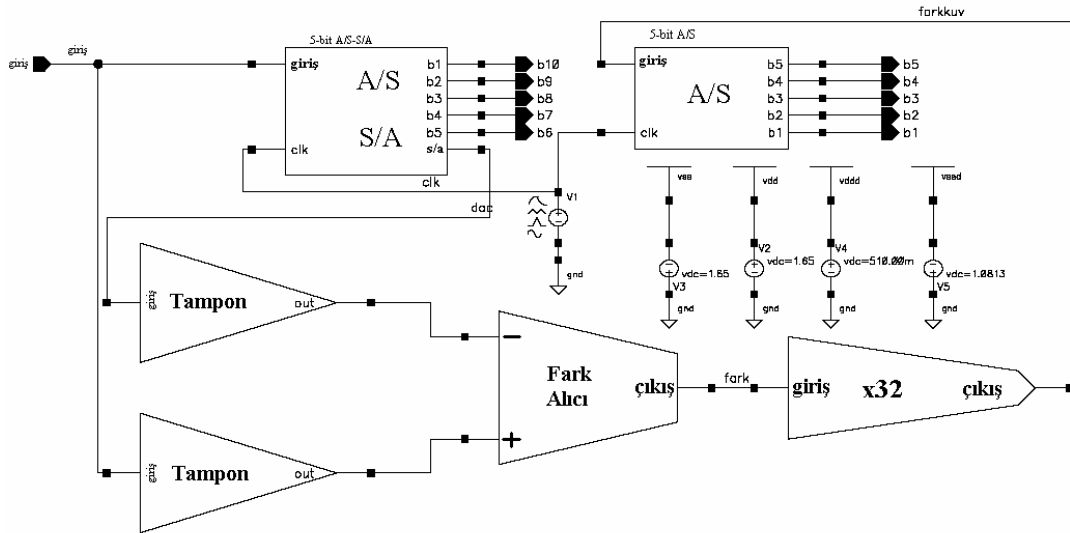
Bu bölümde sistem bileşenlerinin tasarım aşamaları ve çalışması önceki bölümlerde anlatılan teorik bilgiler ışığında incelenecektir.

Tasarlanan sistemin öbek yapısı Şekil 5.1’ de görülmektedir. Sistemde iki adet A/S dönüştürücü bulunmaktadır ancak bunlardan bir tanesinin içinde doğrusal direnç dizisinden oluşan ve girişindeki termometre kodlu sayısal işareti analoğa çeviren bir sayısal-analog dönüştürücü yapısı vardır. Sistemde giriş kaynağı ve sayısal-analog dönüştürücünün çıkışlarındaki devreler tarafından yüklenmesini önlemek üzere kullanılan iki tane gerilim izleyici devresi vardır bu yapılar bildiğimiz negatif geri beslemeli işlemsel kuvvetlendiricilerdir. Şekil 5.1’ de görülen diğer iki yapı ise fark alıcı devre ve girişindeki işareti 32 kat kuvvetlendiren yapıdır. Sistemdeki, gerilim izleyici, fark alıcı ve kuvvetlendirici yapıları çekirdekleri birbirinin aynı olan, sahip oldukları özellikleri uygun geri besleme yapıları ile sağlanmış işlemsel kuvvetlendiricilerdir. Bu sistemlerin farklı olan bir diğer özellikleri de yüksek frekans çalışmalarının eniyilenmesi için kullanılan, çıkışlarındaki geribesleme kondansatörleridir. Farklı kazanç değerlerine sahip olmaları ve geri besleme yapılarındaki farklılıklar bu sistemler için ayrı değerlerde eniyileme elemanları kullanılmasını zorunlu kılmıştır.

Paralel A/S dönüştürücülerin karşılaştırıcılarının yani nicemleyicilerin tasarımında öncelikle sistemin uç noktalarındaki transistörler için elde edilecek olan analog giriş değerleri belirlenmiş ve daha sonra bu en büyük ve en küçük değerler arası, analog seviye sayısı kadar eşit gerilim değerine bölünmüştür. Bu değerler aslında nicemleme seviyelerinden başka bir şey değildir. Sistemde sadece bir kez A/S dönüştürücü tasarımı yapılmış ve bu yapı çözünürlüğü iki katına çıkarmak için çoklanmıştır, hata işaretinden ikinci 5-bitlik kodun üretilmesi için gerekli matematiksel işlemler işlemsel kuvvetlendiriciler yardımı ile gerçekleştirilmiştir. Tek bir A/S dönüştürücü için girişte örnekleme tutma devresine gerek yoktur çünkü nicemleme elemanları

tamamen sayısal devreler oldukları için teknolojinin çıkabildiği hız sınırlarında çalışabilmektedirler, ancak bu çalışmada, iki adımda sayısal kod üretileceğinden bu dönüşüm sırasında giriş işaretinin tutulması gerekmektedir çünkü fark işaretinin doğruluğu ancak bu şekilde sağlanabilir.

Önerilen sistem henüz tasarım aşamasında olduğundan sadece simülasyon sonuçlarına bakılarak bir sonuca varılması mümkün olabilir. Çünkü A/S, S/A dönüştürücülerin durağan ve devinik karakteristikleri ile ilgili ölçümler ancak sistem üretildikten sonra, özel olarak tasarlanmış test devreleri ile elde edilebileceğinden bu çalışmada sadece simülasyon yoluyla elde edilebilen sonuçlara yer verilmiştir. Bunlar, A/S ve A/S dönüştürücülerin tek düzeliğini göstermek üzere uygulanan testlerin sonuçları, sistem bileşenlerinin çalışmalarını özetleyecek DC, AC ve zaman düzleminde analizler ve bunların dışında önerilen yapının, üretim parametrelerindeki olası değişimlerden nasıl etkilenebileceğini göstermesi bakımından farklı parametreler ile yapılan istatistiksel analizden elde edilen sonuçlardır.

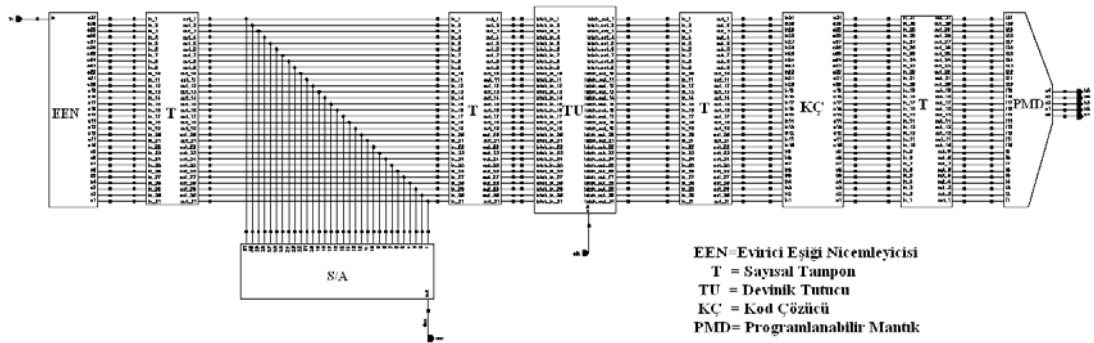


Şekil 5.1 Tasarlanan 10 bit A/S dönüştürücünün genel yapısı

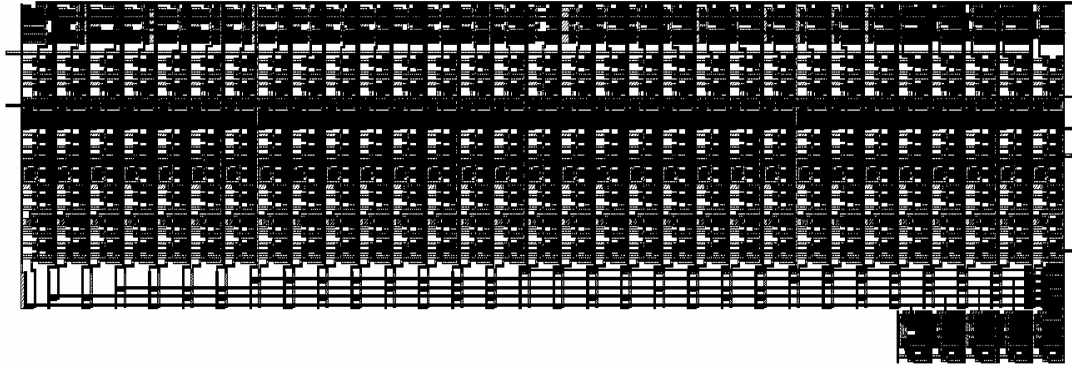
5.2. 5 bit A/S-S/A Dönüştürücü Yapısı

5.2.1 Giriş

Bu yapı yukarıda da bahsettiğimiz gibi bir adet EEN temelli A/S dönüştürücü ile doğrusal direnç dizisi temelli termometre A/S dönüştürücü yapılarının tek bir öbek şeklinde tümlenmesi ile elde edilmiştir. Sistemin iç yapısı şematik olarak Şekil 5.2’ de, fiziksel görüntüsü ise Şekil 5.3’ de görülmektedir.



Şekil 5.2 5-bit A/S-A/S dönüştürücü öbeğinin iç yapısı



Şekil 5.3 5-bit A/S-A/S dönüştürücü öbeğinin fiziksel görünümü

Fiziksel görüntüden de anlaşılacağı gibi serim yapılırken tasarımın pul üzerindeki duruşu düşünülerek öbekler, boyutları bakımından modüler yapıda tasarlanmaya gayret gösterilmiştir.

Sistemin çalışması:

EEN öbeğine gelen işaret aynı anda bu öbeğin içindeki bütün karşılaştırmalara uygulanır. Daha sonra bu karşılaştırma işlemi sonucunda öbeğin çıkışında termometre kodu şeklinde, alt tarafı tamamen bir ve üst tarafı da sıfırlardan oluşan 31 bitlik bir kod elde edilir ancak bu 31 bit aslında 5 bitlik bir anlam taşımaktadır.

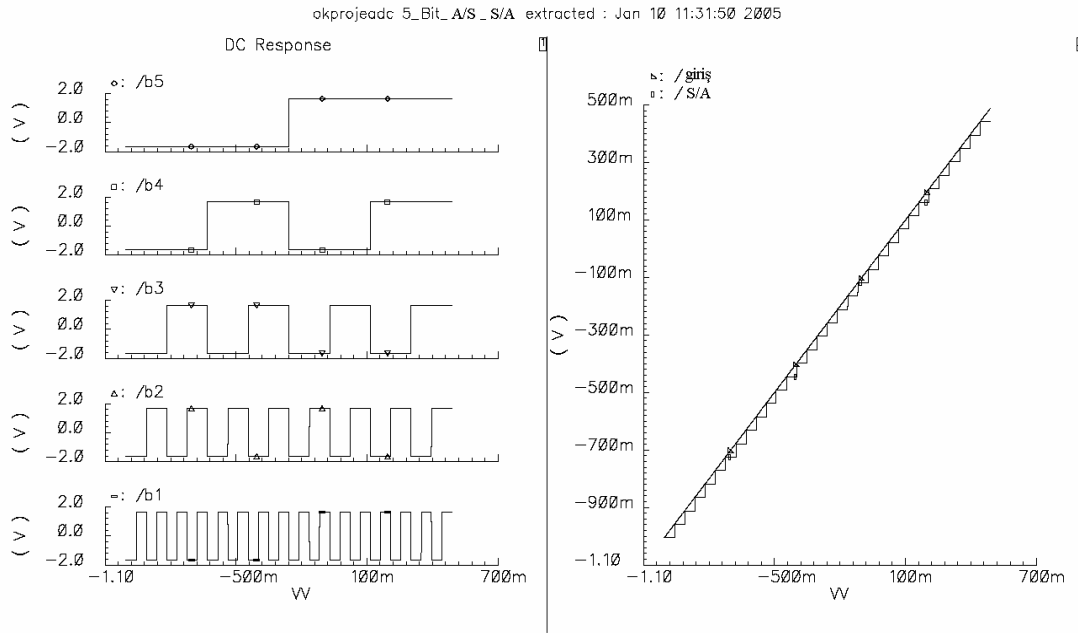
Elde edilen termometre kodu, çıkışına bağlanan sistemin DC güç tüketimini azaltmak için bir adet tampon yapısından geçirilir. Bu işlemin ardından kuvvetlendirilen termometre işareti aynı anda hem S/A dönüştürücüye hem de ikinci bir tampon devreye uygulanır. S/A dönüştürücü yukarıda da bahsedildiği gibi girişindeki termometre kodundan nicemlenmiş analog işaretin yeniden elde edilmesini sağlar. Bu sayede ikinci beş bitlik dönüşüm için gerekli hata işaretinin elde edilmesi için gerekli ilk adım atılmış olur.

S/A dönüşüm olurken bir taraftan da termometre kodundan 5 bitlik en değerli bit dizisinin üretilmesi işlemi gerçekleşmektedir bunun için örneklenmiş işaret saat periyodunun “sıfır” süresi boyunca tutulur ve bu tutma süresi içerisinde geri kalan sayısal öbeklerde kodlamaya devam edilir.

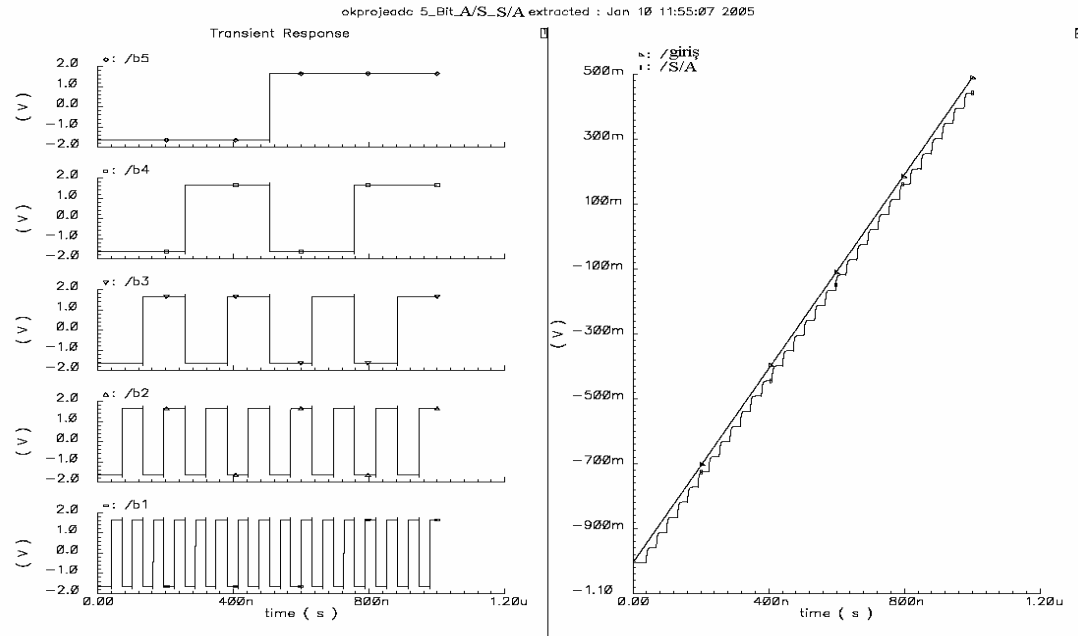
Tutucudan alınan işaret bir kez daha kuvvetlendirildikten sonra kod çözücü öbeğine ulaşır ve burada sadece tek bir biti bir olan 31 bitlik bilgi kodu elde edilir. En son adımda ise kod çözücü öbeğinden elde edilen bilgi bir kez daha kuvvetlendirilir ve programlanabilir mantık dizisinden geçirilerek 5-bitlik sayısal kod elde edilir.

5-bitlik A/S-S/A dönüştürücü yapısının DC, ve Zaman düzleminde analiz sonuçları sırasıyla Şekil4.4-5’ de görülmektedir. DC sonuçlardan da görüldüğü gibi A/S dönüştürücü ve S/A dönüştürücü iyi bir tekdüzeliğe sahiptir. Bu durum Zaman düzleminde sonuçları için de geçerlidir. Şekil 5.4-5’ de görülen sonuçlar sistemin gayet tekdüze bir yapıya sahip olduğunu söylese de üretim aşamasının ardında elde edilecek gerçek sonuçlar daha aydınlatıcı fikirler edinilmesine şüphesiz katkı sağlayacaktır ve ancak bu sonuçlar ışığında bir adım sonrasında nasıl bir düzeltme ya

da geliştirme yapılacağına karar vermek mümkün olabilir.



Şekil 5.4. 5bit A/S-A/S dönüştürücü yapısının DC analiz sonuçları



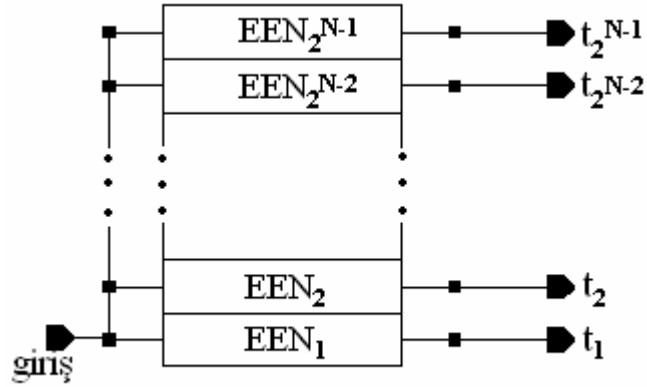
Şekil 5.5. 5bit A/S-A/S dönüştürücü yapısının 1µs süreli rampa işareti ile yapılan analizinden elde edilen sonuçlar

5.2.2 5 bit A/S dönüştürücü

Bu yapı yukarıda da bahsedilen sistemde A/S dönüşüm işlemini gerçekleştiren yapıdır. Sistemin öbek gösterimi A/S-A/S dönüştürücü yapısı ile aynıdır, tek fark bu yapıda sayısal analog dönüştürücü öbeğinin bulunmayışıdır.

5.2.2.A Nicemleyici

Nicemleyici yapısı 2.bölümde teorik altyapısı hazırlanan düşüncenin fiziksel olarak uygulanması sonucu elde edilen yapıdır. Sistemin öbek gösterimi Şekil 5.6' da görülmektedir.



Şekil 5.6 Nicemleyici yapısının öbek görünümü.

Nicemleyici, içerisinde her biri belirli bir analog eşik gerilimine sahip sayısal tampon devreleri içerir. Bu tamponlardan 16 numaralı olanının iç yapısı bir fikir vermesi açısından Şekil 5.7' de transistör boyutları ile birlikte gösterilmiştir. Daha önceden de bahsedildiği gibi bu devrelerde transistör boyutlandırması belirli bir yöntem içerisinde yapılırsa istenen giriş geriliminde devrilme sağlanabilir. Burada *devrilme noktası* terimi ile Şekil 3.2' de görülen, gerilim geçiş eğrisinde girişin çıkışa eşit olduğu nokta kastedilmektedir. Nicemleyici yapısının gerilim geçiş eğrilerini gösteren grafikler Şekil 5.8-15 arasında görülmektedir. Bu grafiklerden Şekil 5.9-13 arasındakiler DC gerilim geçiş eğrileri olup her biri *MOSIS* firmasının aynı teknolojiye ait farklı tarihlerde gerçekleştirdiği üretimlerde elde edilen BSIM v3.3

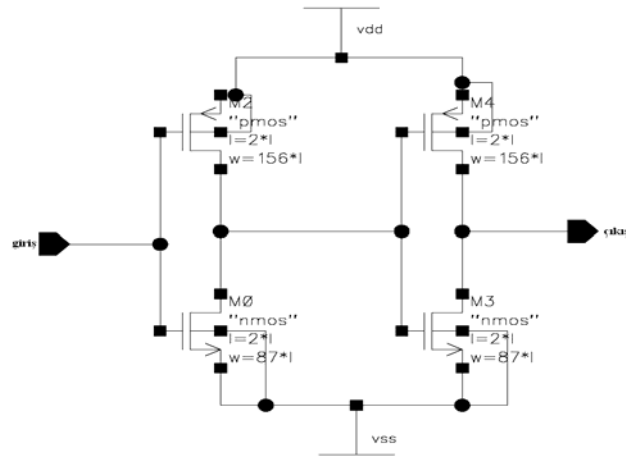
spice model parametreleridir (Mosis 2004).

Bu 5 simülasyon sonucunda gözlemlenen en önemli şey nicemleyicinin tek düzeliğinin üretim koşullarındaki değişikliklerden etkilenmemesidir. Bunun dışında uç noktalarda küçük kaymalar olduğu görülmektedir bu istenmeyen durum basit bir ayar devresi ile rahatlıkla ortadan kaldırılabilir. 16 numaralı nicemleyici öbeğinin bu parametreler ile ayrı ayrı analizii sonucunda elde edilen eşik gerilimi değerleri Tablo 5.1’ de görülmektedir. Tablodan da görüldüğü gibi farklı üretim süreçlerinde eviricilerin eşik gerilimlerinde değişiklikler olabilmektedir ancak tüm sistemin analizinden alınan sonuçlara bakıldığında bu durumun tüm eviricilere aynı oranda yansıdığı görülür. Bunun sonucunda üretim süreçlerinin değişiminin sistemin birimlerine etkisi olsa da bu değişim her birime aynı oranda yansıdığından tüm sistemin çalışmasında en önemlisi tekdüzeliğinde önemli bir değişikliğe neden olmamasıdır. Tüm devre teknolojisinde bir diğer önemli sorun da kullanılan elemanların birbirleri ile olan uyumlarıdır, literatürde sadece bu konuda yapılmış çalışmalar da bulunmaktadır (Tuinhout et al. 1996, Leung and Sutarja 1992, Pelgrom et al. 1989, Pelgrom and Vertreg 1998, Rombouts and Weyten 2000, Van De Plassche 1976, Rombouts and Weyten 1998), ancak (Tangel and Choi 2004) bu durumun EEN tekniği için çok büyük bir önem oluşturmadığını söylemektedir. Sistemde aynı özellikte iki eviricinin kaskat bağlanması DC güç tüketimini düşürmenin yanında oluşabilecek muhtemel uyumsuzluk sorunlarını da azaltmaya yönelik bir çalışmadır.

Tablo 5.1 16 numaralı nicemleyicinin farklı parametrelerle gösterdiği eşik gerilimi değerleri

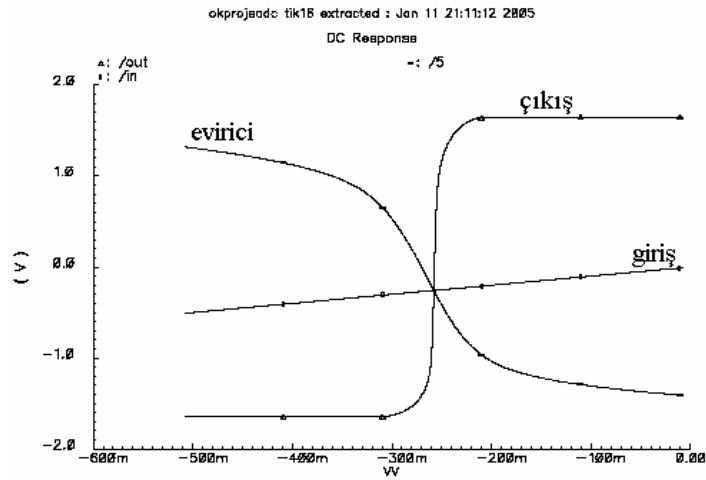
Parametre Dosyasının Adı	Simülasyon Sonunda Elde edilen Eşik Değeri (Volt)
t3cu-params.txt	-254m
t42a-params.txt	-272m
t42q-params.txt	-240m
t41j-params.txt	-232m
t41c-params.txt	-260m

Nicemleyicilerdeki karşılaştırıcı ofset hataları en sık rastlanan hatalardandır hatta bazı çalışmalarda sistemin doğrusal olmayan fark hataları sırf bu istenmeyen durum nedeniyle oluşmaktadır (Bult and Buchwald 1997) bu nedenle önerilen sistemin önemi daha iyi anlaşılabilir. Şekil 5.13-15’ de gördüğümüz Zaman düzleminde analiz sonuçlarından sistemin girişinde bir örnekleme tutma devresi olmadan da gayet yüksek örnekleme frekanslarında rahatlıkla çalışabildiği görülmektedir.



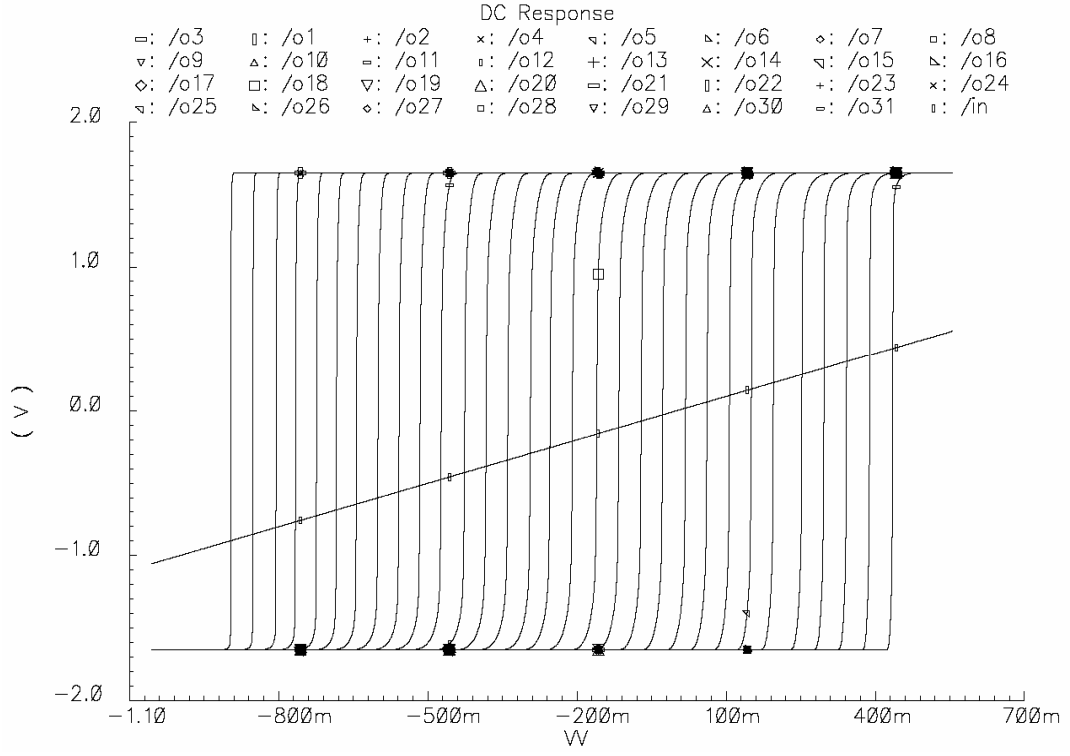
Şekil 5.7 16 numaralı sayısal tampon devresinin transistör seviyesinde görünümü

Şekil 5.8 de 16 numaralı devrenin *t41c-params.txt* parametreleri ile yapılan DC analizinden elde edilen gerilim geçiş eğrisi görülmektedir.



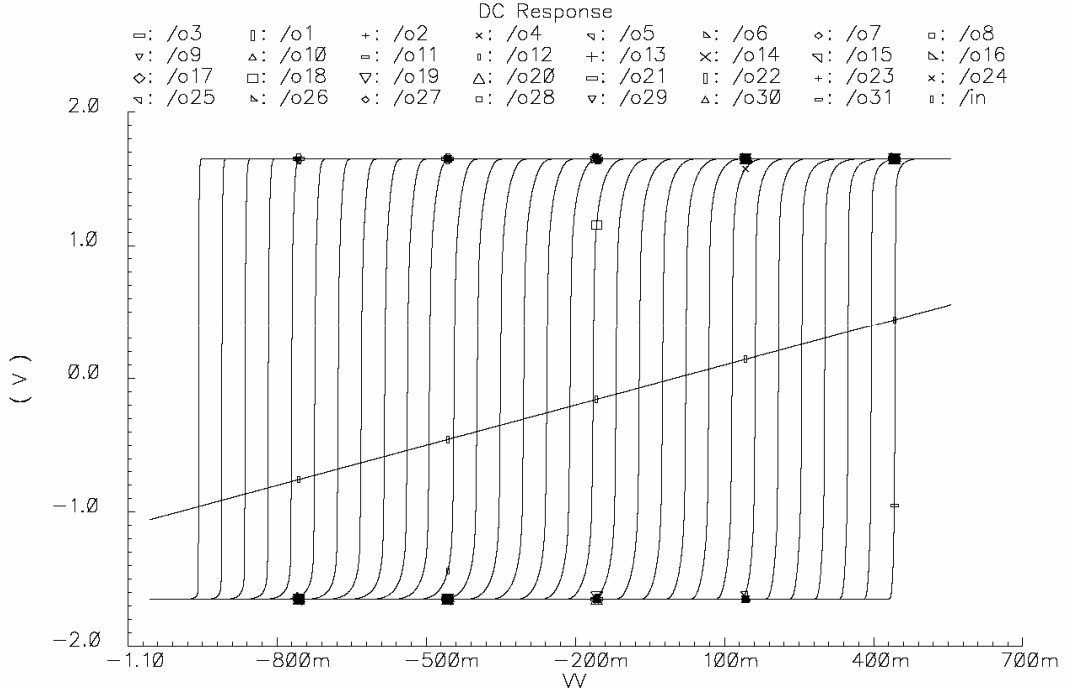
Şekil 5.8 16 numaralı nicemleyicinin gerilim geçiş eğrisi

okprojeadc TIQ_Blogu extracted : Jan 10 11:22:24 2005

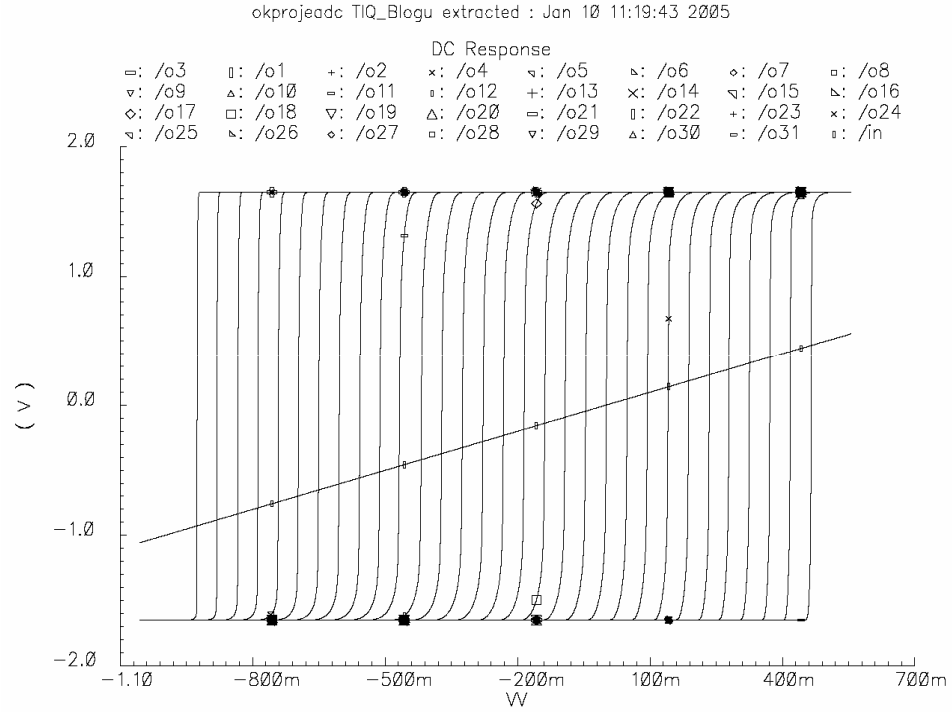


Şekil 5.9 Nicemleyici öbeğinin t3cu kodlu parametrelerle analizi

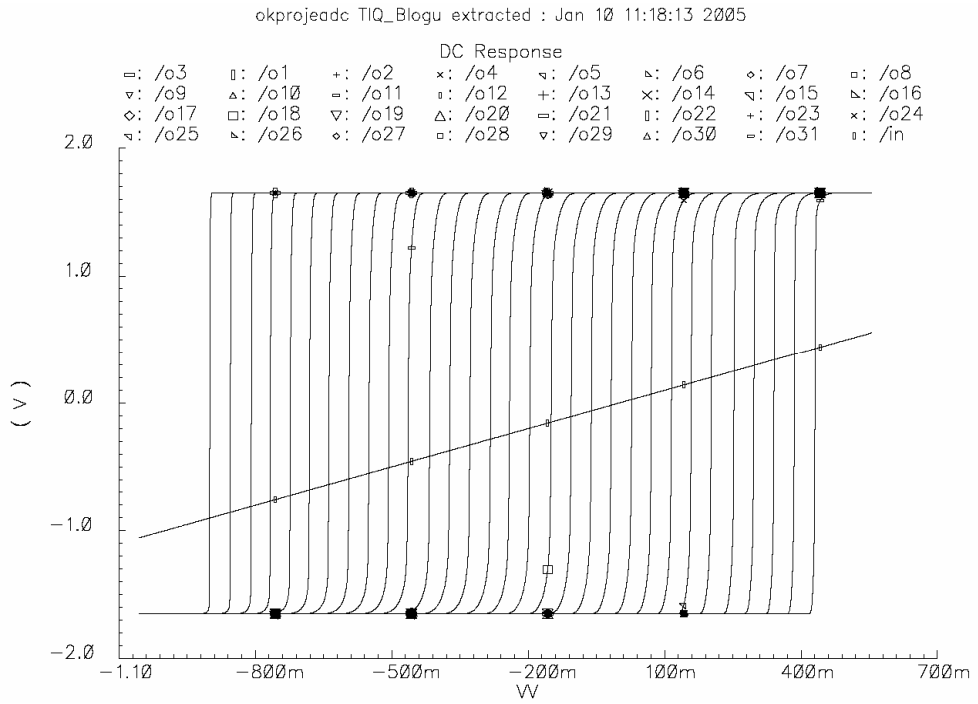
okprojeadc TIQ_Blogu extracted : Jan 10 11:10:02 2005



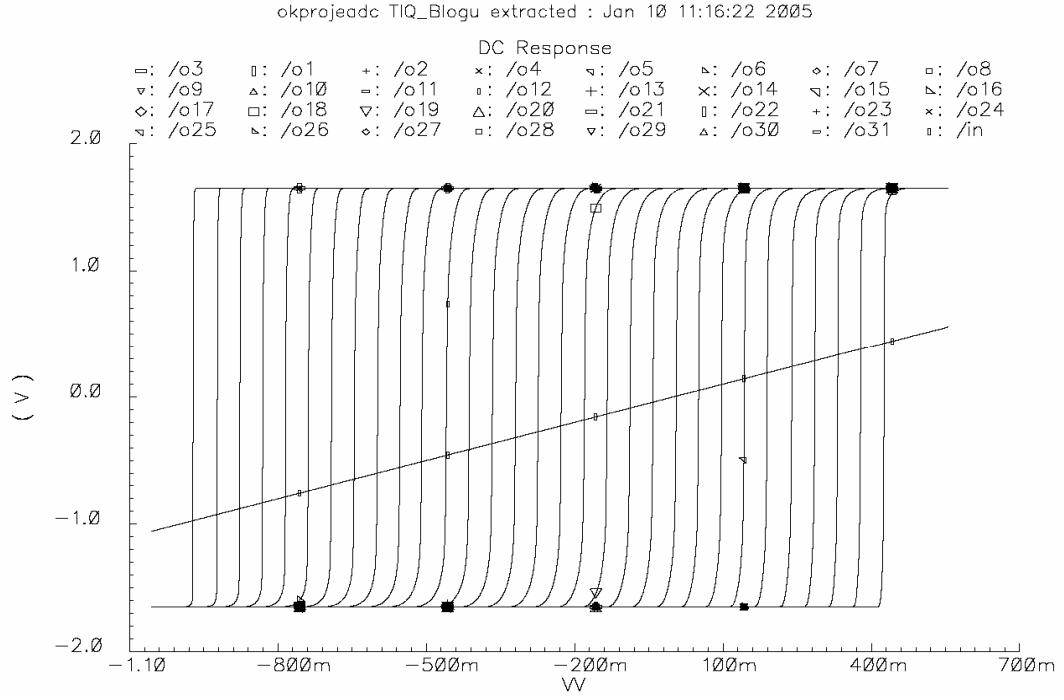
Şekil 5.10. Nicemleyici öbeğinin t41c kodlu parametrelerle analizi



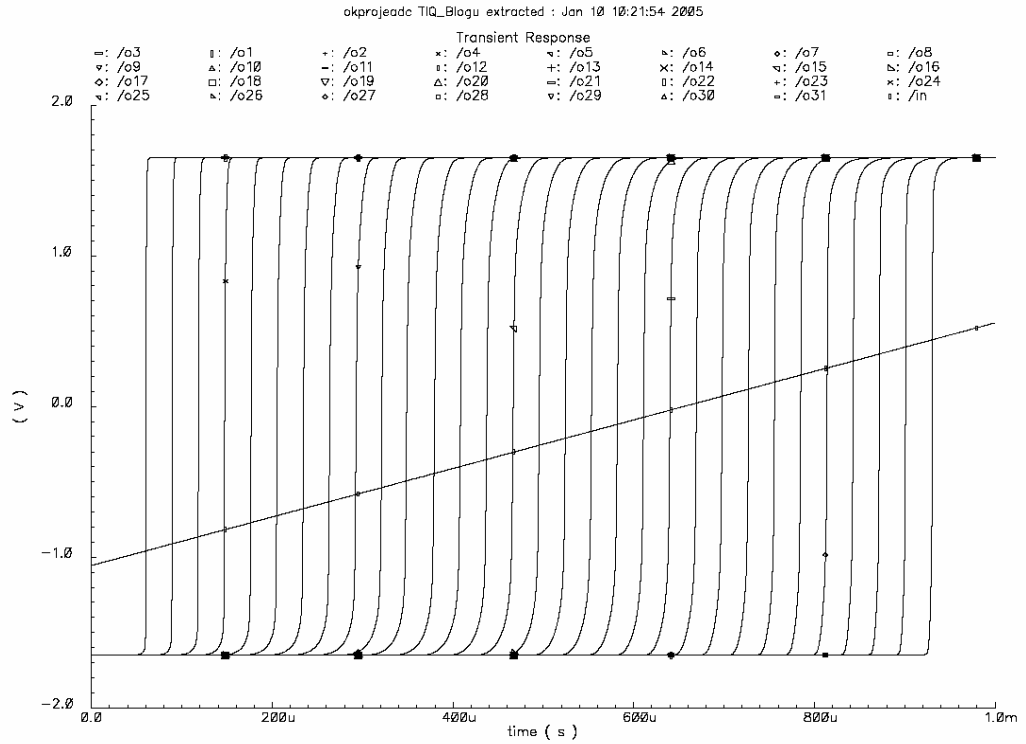
Şekil 5.11 Nicemleyici öbeğinin t41j kodlu parametrelerle analizi



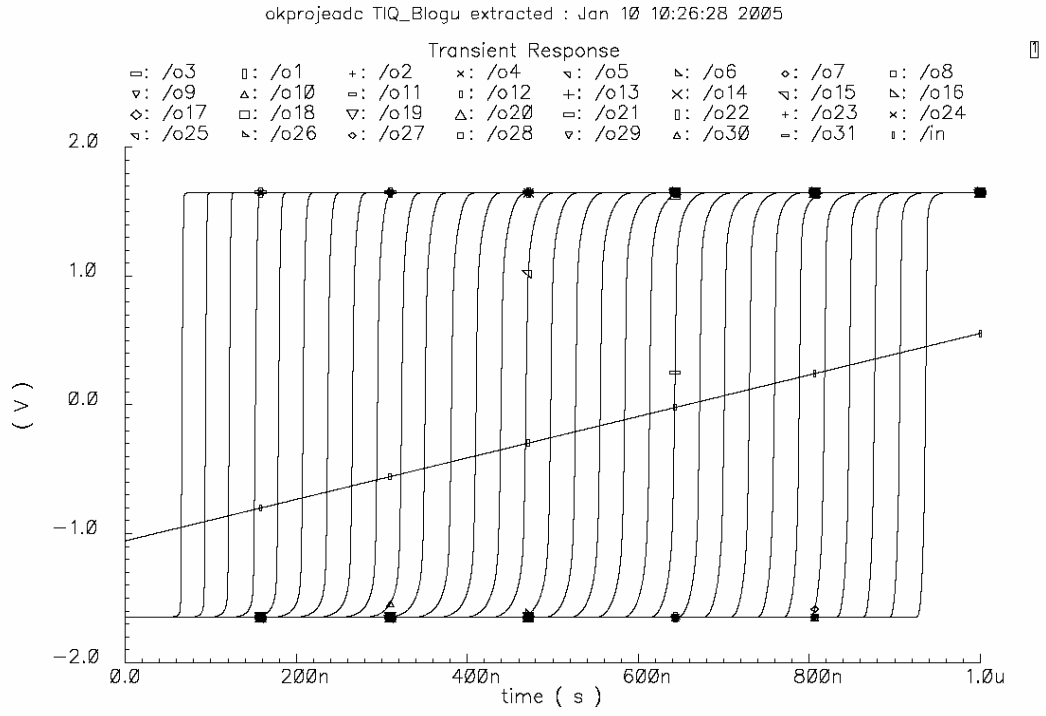
Şekil 5.12 Nicemleyici öbeğinin t42q kodlu parametrelerle analizi



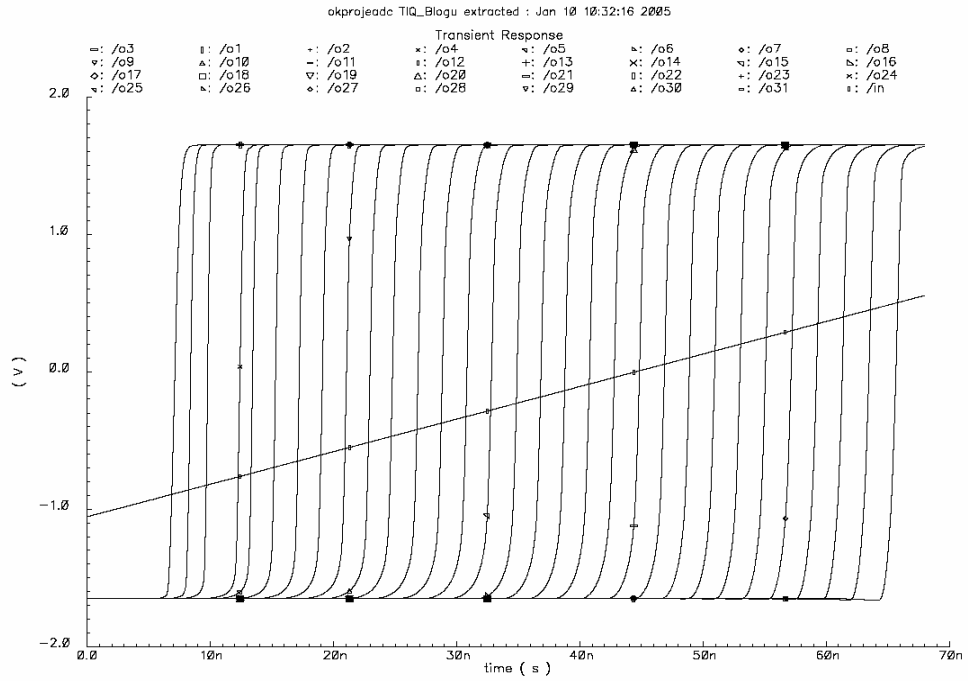
Şekil 5.13 Nicemleyici öbeğinin t43a kodlu parametrelerle analizi



Şekil 5.14 Nicemleyici öbeğinin t3cu kodlu parametrelerle 1ms süreli rampa işaretine verdiği cevap



Şekil 5.15 Nicemleyici öbeğinin t41c kodlu parametrelerle 1us süreli rampa işaretine verdiği cevap

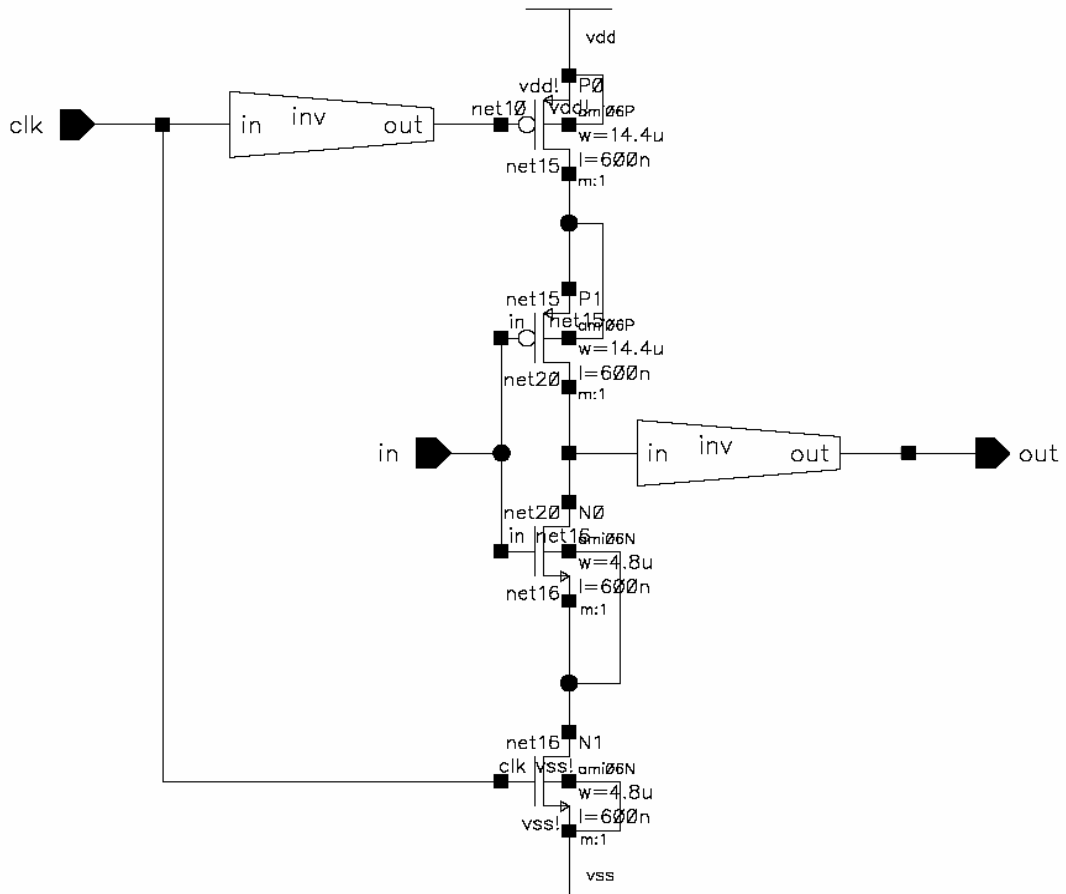


Şekil 5.16 Nicemleyici öbeğinin t41c kodlu parametrelerle 68ns süreli, rampa işaretine verdiği cevap

5.2.2.B Devinik tutucu

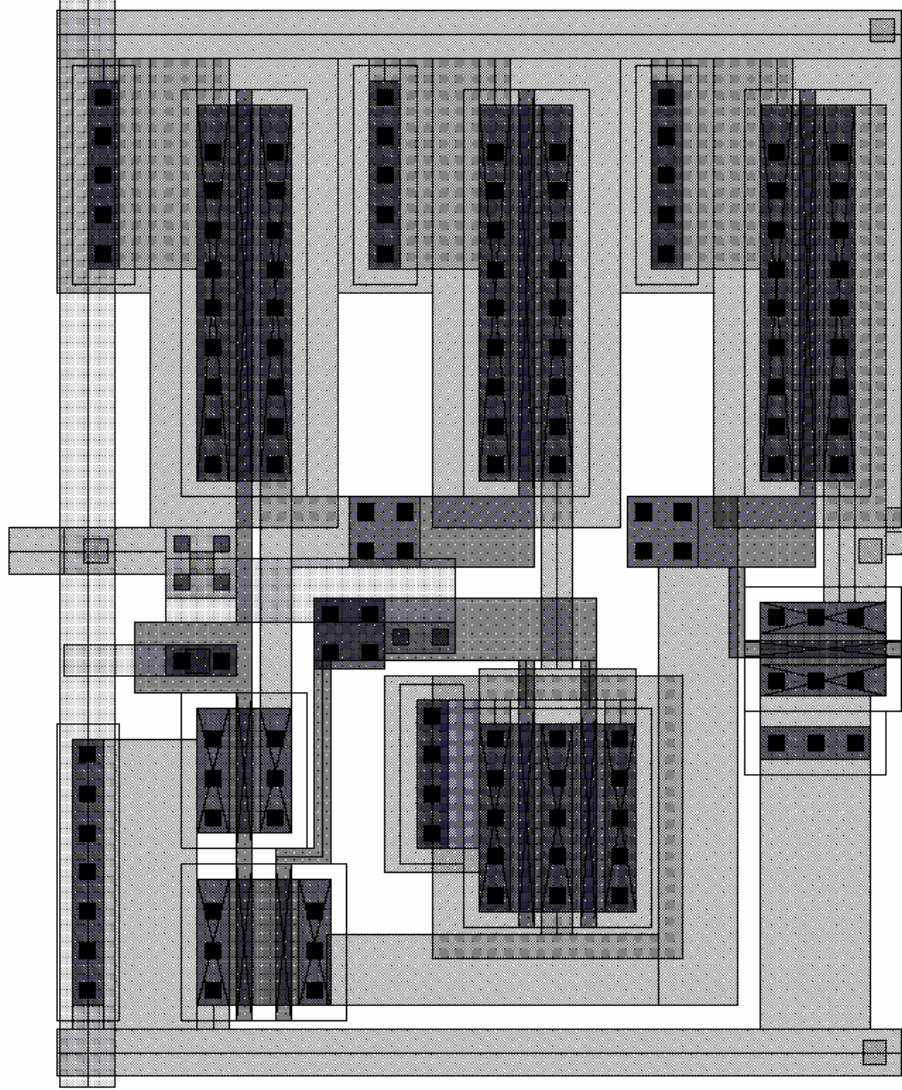
Devinik tutucu devresi saat darbesinin konumuna bağılı olarak girişindeki işareti çıkışa verir ya da çıkışındaki işareti tutar. Bir çeşit örnekleme tutma da denilebilir. Tutucu devresi kendinden sonra gelen devrelerin önceden de bahsettiğimiz nedenlerden dolayı daha iyi çalışmasını sağlar. Sistem saat darbesinin değeri mantıksal “1” iken girişindeki değeri çıkışa iletir, saat darbesinin değeri mantıksal “0” iken ise çıkışındaki değeri tutar. Saatin sıfır konumu aslında çıkışındaki devre için dönüşüm anlamına gelmektedir, saatin bir konumu ise girişten örnek alma işleminin yapılmasını sağlar.

Tutucu devresinin şematik görünümü Şekil 5.17’ da görülmektedir.



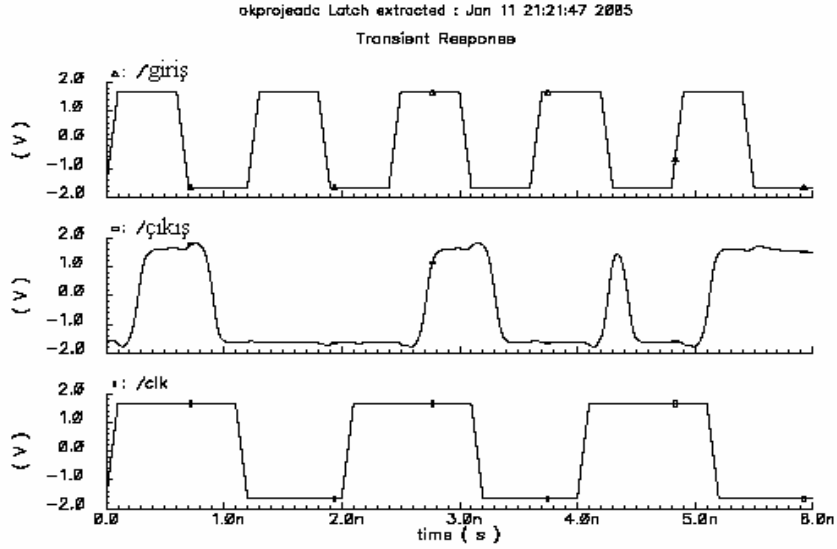
Şekil 5.17 Devinik tutucu devresi transistör-kapı seviyesi görünümü

Aynı devrenin fiziksel görünümü Şekil 5.18’ de verilmiştir.



Şekil 5.18 Tutucu öbeğinin fiziksel görünümü

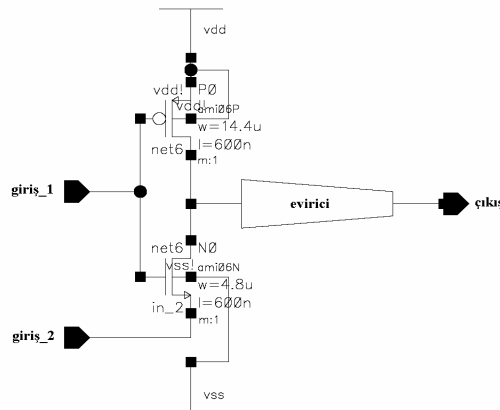
Devrenin çalışmasını daha iyi anlatması açısından deneme amaçlı yapılan bir Zaman düzleminde analizin sonuçları da Şekil 5.19’ de verilmiştir.



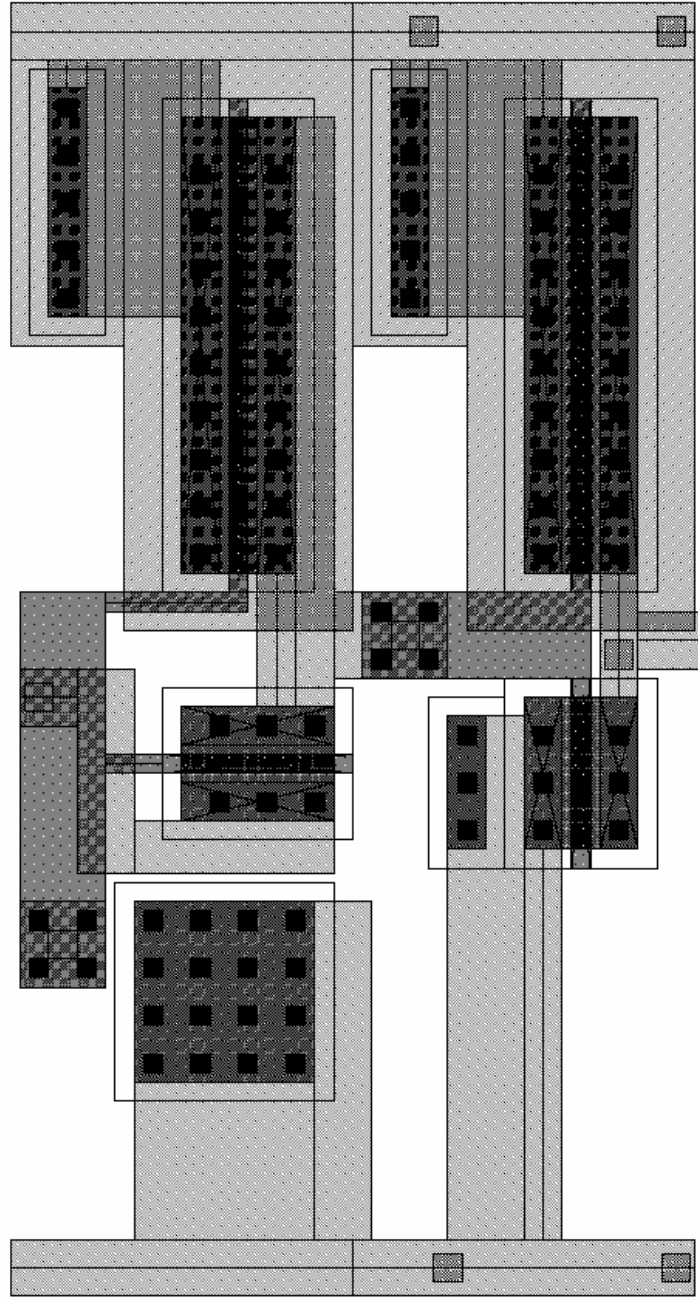
Şekil 5.19 Tutucu devresinin zaman düzleminde analize verdiği cevap

5.2.2.C Kod çözücü

Kod çözücü devresi termometre koddan ikili kodların elde edilmesi için sayısal bilginin uğradığı en son değişimdir. Bu öbeğe giren kod çıkışta mantıksal 0' ların arasında gezinen tek bir mantıksal 1 bitinden oluşur ve bu bitin her bir konumu farklı bir ikili koda denk gelir. Termometre koddan olduğu gibi gene burada da 2^{N-1} adet kod vardır ve bu kod çıkışta N bitlik sayısal koda dönüşecektir. Öbeğin devre şeması ve fiziksel görünümü sırasıyla Şekil 5.20 ve 21' de görülmektedir.

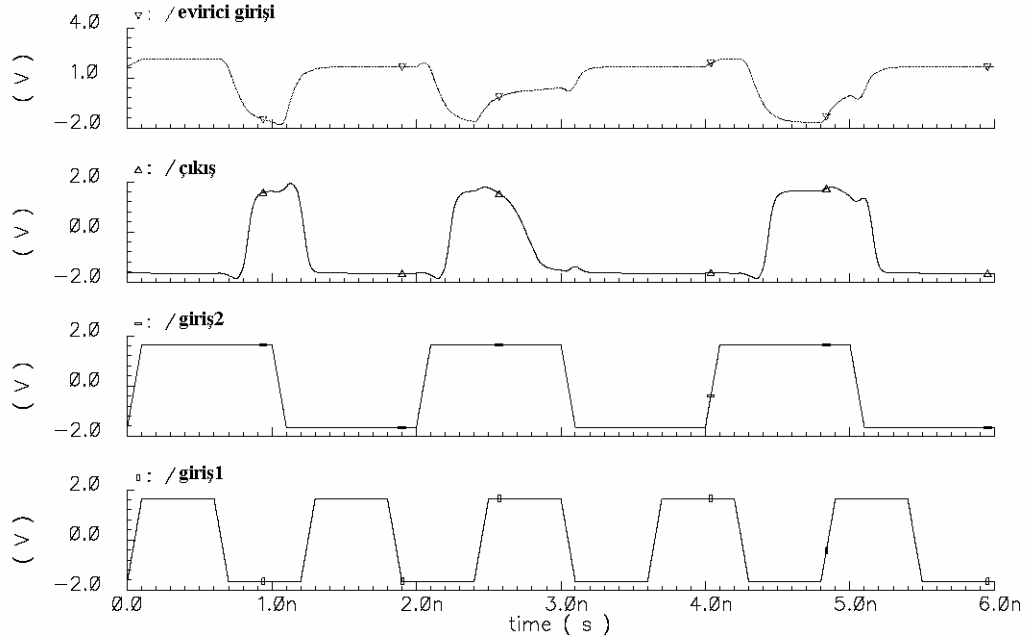


Şekil 5.20 Kod çözücü hücresinin transistör-kapı seviyesi görünümü.



Şekil 5.21 Kod çözücü hücresinin fiziksel görünümü

Devrenin çalışmasının daha iyi anlaşılabilmesi için Şekil 5.22’ de, Zaman düzleminde analiz sonunda elde edilen dalga şekilleri verilmiştir.



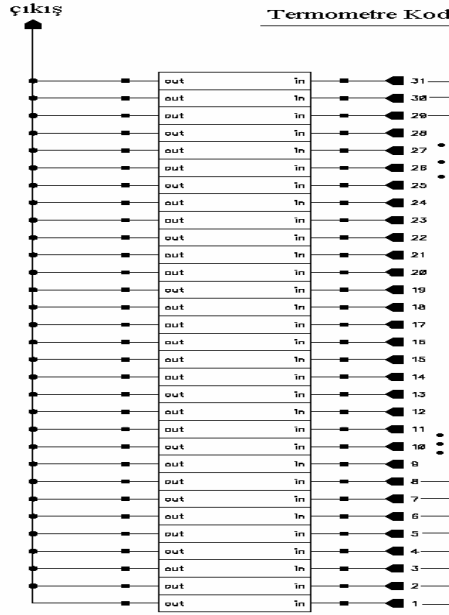
Şekil 5.22 Kod özücü hücresi Zaman düzleminde analiz sonuçları.

5.2.2.D Programlanabilir Mantık dizisi

Programlanabilir mantık dizisi önceki bölümde değinilen, sadece tek bir mantıksal 1' den oluşan sayısal bilgiyi N bitlik ikili koda dönüřtüren yapıdır. Bu yapı her bir bit için doyum bölgesinde alışan bir P-MOS ve mantıksal kodun diziliři ile aynı yapıda N-MOS transistörlerin düzenli yerleřtirilmesi ile elde edilir. Bu yapının bir dezavantajı tamamen CMOS yapıda olmamasından kaynaklanan, DC alışma gü tüketimidir. Devrenin fiziksel görünümü EK-2 de bulunmaktadır

5.2.3. 5 bit A/S dönüřtürücü

A/S dönüřtürücünün öbek gösterimi Şekil 5.23' deki gibidir.

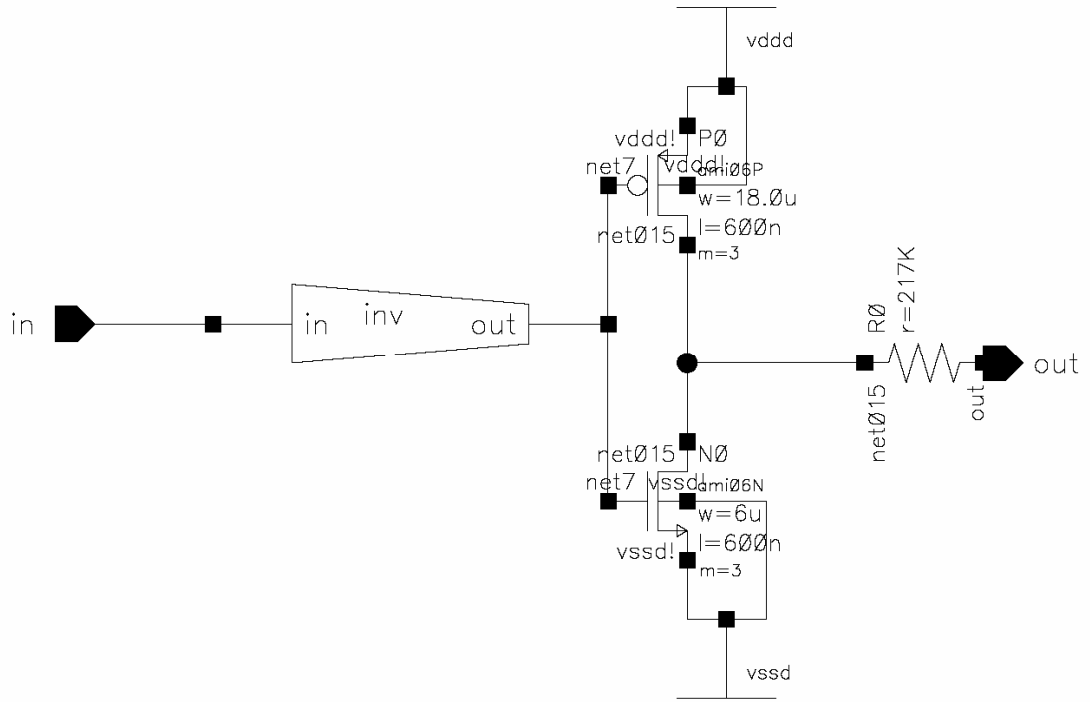


Şekil 5.23 5-bit S/A dönüştürücü öbek gösterimi

Öbek yapıda görülen alt hücreler Şekil 5.24’ de görüldüğü gibi kaskat bağlı iki evirici ve bu yapının çıkışına bağlı yüksek bir dirençten oluşmaktadır. Sistemin çıkış tarafındaki eviricinin farklı bir özelliği vardır o da besleme kaynaklarının ofset gerilimleri olmasıdır ki bu sayede sistemin çıkışı bu değerler arasında değişir.

Şekil 5.24’ de görüldüğü gibi devrenin çıkışındaki direncin değeri $217\text{ k}\Omega$ ’ dur. Tasarım aşamasında bu değer $200\text{ k}\Omega$ kullanılmıştır fakat serim yapılırken $217\text{ k}\Omega$ değerinde daha düzgün bir geometri elde edildiğinden bu yapının fiziksel değeri simülasyon yaparken yeniden düzenlenmiştir.

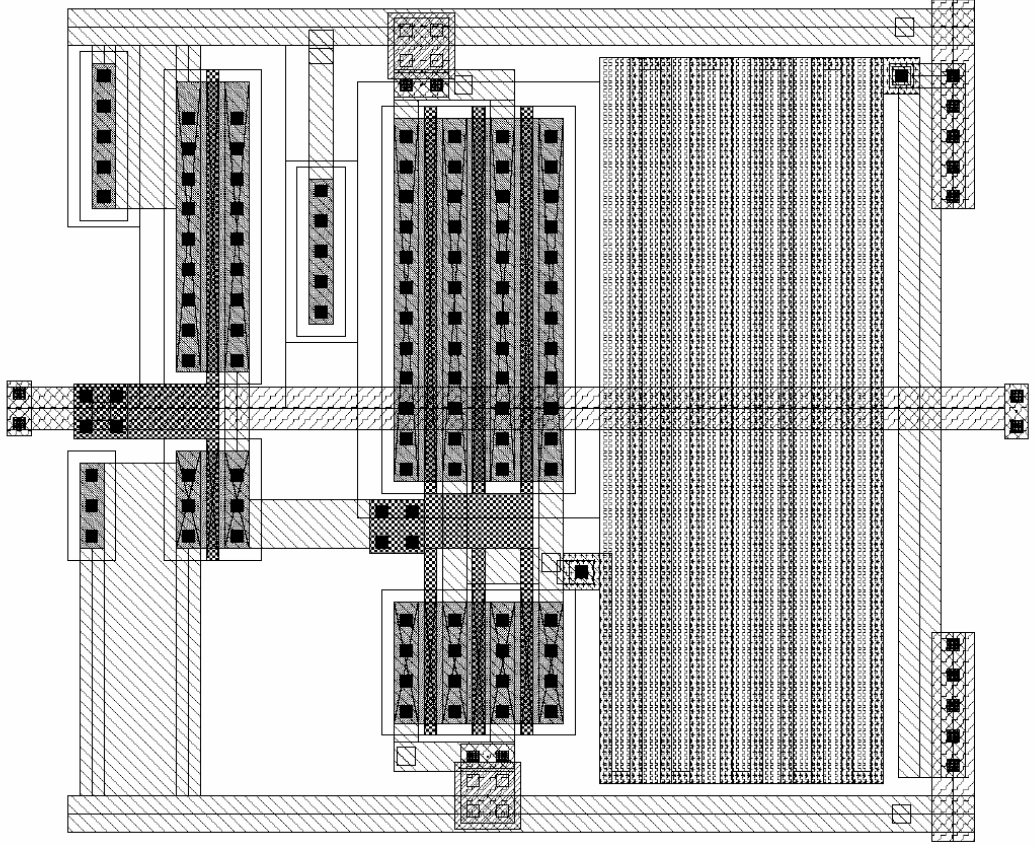
Direnç değerinin büyük olmasının kötü yanı A/S dönüştürücünün kalıcı durum halini almasını geciktirmesidir, iyi tarafı ise transisörlerde oluşabilecek uyumsuzlukları bastırabilmesidir. Direnç dizisi yerine kondansatör kullanan yapılar da vardır (Razavi 1992) Bu yapılarda Şekil 5.23’ den farklı olarak bir de anahtarlama devresi bulunmaktadır çünkü kapasitenin dolma boşalma prensibine dayalı bir çalışma olmaktadır.



Şekil 5.24 5 bit S/A dönüştürücü birim alt hücresi

Sistemde Termometre A/S dönüştürücü kullanılmasının sağladığı bir diğer yarar da hata işaretinin üretilmesi için harcanan gecikmeyi en aza indirmesidir çünkü ikili ağırlıklandırılmış bir A/S yapısı kullanılmış olsaydı analoğa çevrim için sayısal kodun beklenmesi gerekirdi ki bu da mevcut yöntemle harcanan sürenin 4 katı civarına denk gelmektedir. Ayrıca ikili ağırlıklandırılmalı A/S dönüştürücülerde değişen bitin değeri arttıkça tekdüzelikte bozulmalar olabilmektedir ve değeri yüksek değişimlerde iğne gürültüsü (glitch) oluşumları da gözlenmiştir. Termometre tipi A/S dönüştürücüde bu olumsuzluklara rastlanmamıştır çünkü her bir kod değişiminde sadece iki kapı konum değiştirmektedir. Şekil 5.25’ deki devre A/S dönüştürücü öbeğinin birim hücresinin fiziksel görünümüdür.

Şeklin sağ tarafındaki direnç yapısı kolayca ayırt edilebilecek belirginliktedir. Bu görüntülerin renkli birer kopyası Ek-2’ de verilmiştir



Şekil 5.25 5-bit A/S dönüştürücü alt hücresinin fiziksel görünümü

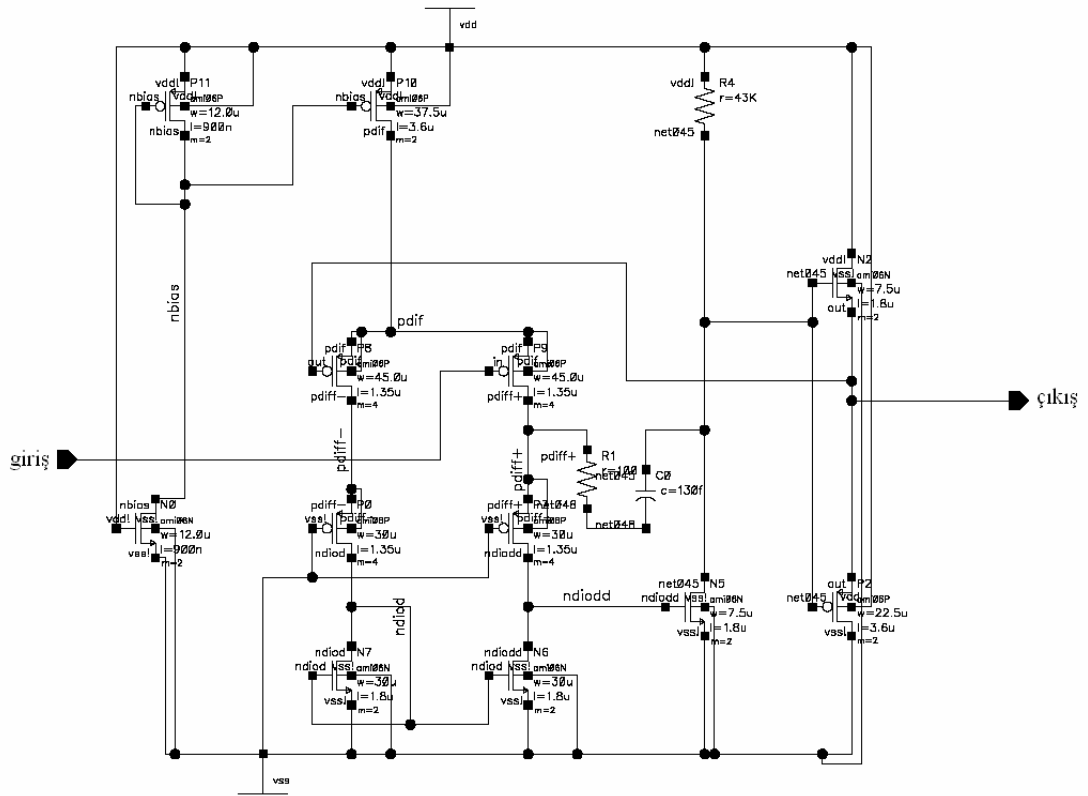
5.3 Sistemde Kullanılan Analog Birimler

Bu çalışmada kullanılan analog tampon, fark alıcı ve kuvvetlendirici öbekleri P-MOS girişli temel iki katlı işlemsel kuvvetlendiricinin, çeşitli geribesleme ve eniyileme elemanları ile desteklenmiş halidir (Hollberg and Allen 2002).

5.3.1 Analog tampon

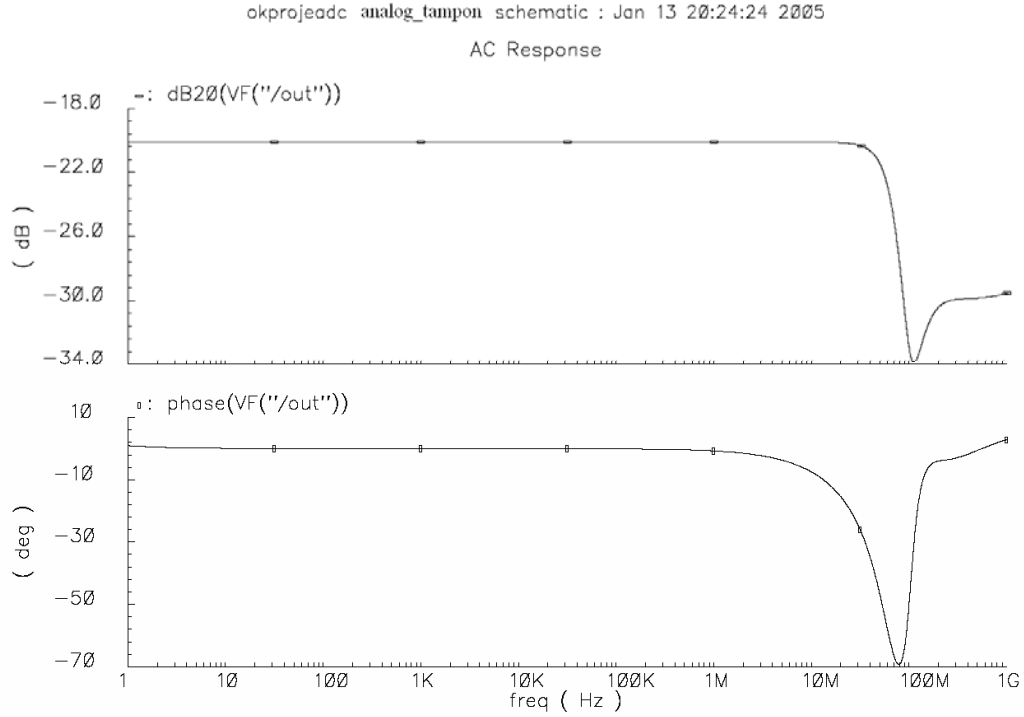
Bu yapı özünde birim negatif geribeslemeli işlemsel kuvvetlendiricidir ve yukarıda sözü edilen temel işlemsel kuvvetlendirici yapısında ufak değişiklikler yapılarak elde edilmiştir. Bu değişikliklerden bir tanesi düşük yükleri sürebilme yeteneğini artırmak için eklenen İT-ÇEK yapıdaki transistör çiftinin eklenmesidir.

Devrenin transistör seviyesindeki görünümü Şekil 5.26'de ki gibidir.



Şekil 5.26 Analog tampon devresi

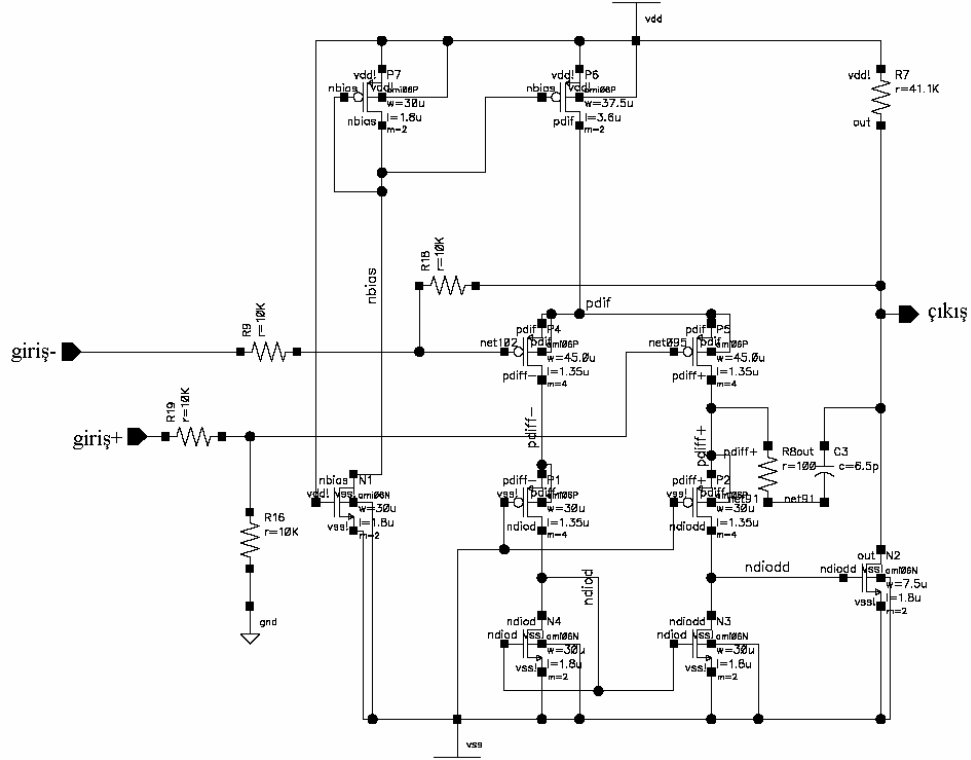
Bu devrenin AC analizi sonuçları Şekil 5.27’ de görülmektedir. Devrenin üst kesim frekansı yaklaşık 60MHz ve faz payı da 60 derece civarındadır. Bu değer hedeflenen örnekleme frekansından çok düşüktür ancak şu aşamada önerilen yöntemin gerçekleştirilebilirliğini göstermesi açısından iyi bir değerdir. Bu çalışmada önerilen yapı yaklaşık 40 MHz analog band genişliğine sahiptir yani 20MHz giriş frekansında Nyquist oranında çalışabilir ancak bu değer sistemin örnekleme frekansından çok küçüktür. Bu değer literatürdeki birçok çalışmadan daha iyi olsa da hedeflenen sistemin örnekleme frekansında Nyquist oranı dönüşüm yapabileceği düşünüldüğünde amacın uzağında kalmaktadır. Bu sorunun üstesinden gelebilmek için yüksel hızlı işlemsel kuvvetlendirici mimarilerini tercih etmek gerekir ayrıca bu hızlarda, oluşabilecek hatalar sistemin performansını çok fazla etkileyeceğinden hatalı kodlar çıkması muhtemeldir dolayısıyla sayısal hata düzeltme algoritmalarının önerilen sisteme uygulanması konusunu araştırmak ileriki çalışmalar açısından yararlı olacaktır.



Şekil 5.27 Analog tampon devresinin AC analiz sonuçları

5.3.2 Fark Alıcı

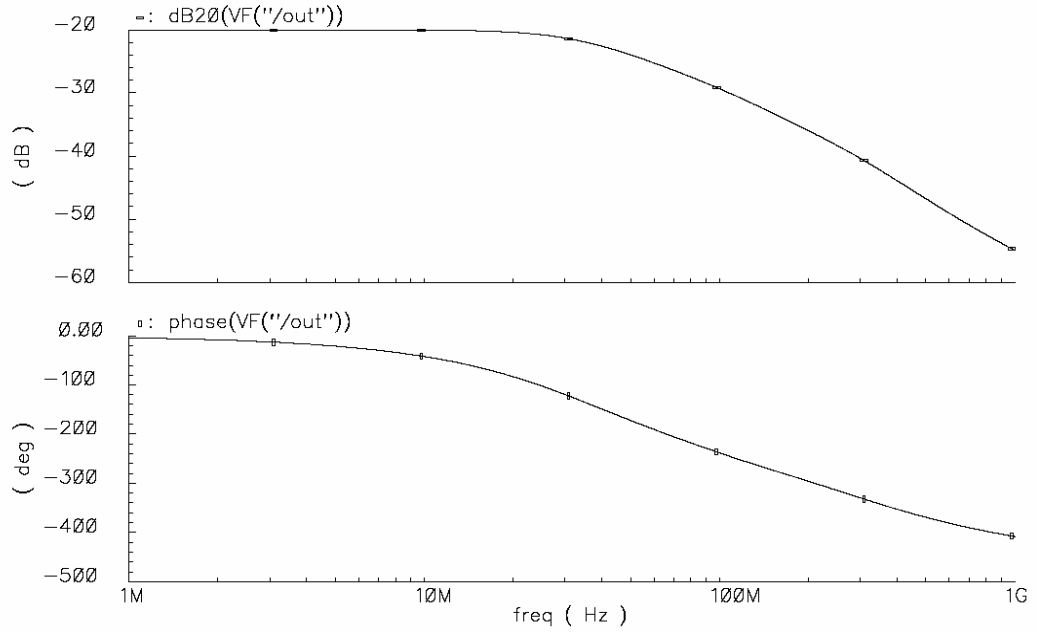
Bu yapı gene az önce sözü edilen temel işlemsel kuvvetlendirici devresine uygun çevresel elemanların bağlanması ile elde edilir. Devrenin transistör seviyesindeki görünümü Şekil 5.28’ deki gibidir. Devrenin işlemsel kuvvetlendirici etrafına uygun şekilde yerleştirilmiş 4 dirençten oluştuğu görülmektedir. Girişler örneklenmiş tutulmuş bilgi işareti ve A/S dönüştürücünün çıkışlarından alınan kabaca nicemlenmiş bilgi işaretidir. Bu devrenin çıkışındaki işaret [(giriş+)-(giriş-)] şeklinde olacaktır. Tüm kodların doğru olarak elde edildiği bir sistemde bu devrenin çıkış işareti sıfır ile kaba A/S dönüştürücünün LSB değerleri arasında doğrusal değişen bir testere dişi dalgası şeklinde olacaktır. Bu yapının AC çalışma karakteristiği Şekil 5.29’ de görülmektedir. AC çalışma karakteristiğinden de görüleceği gibi devrenin band genişliği yaklaşık 43MHz ve faz payı da 150 dereceden büyüktür.



Şekil 5.28 Fark alıcı devresi

okprojeadc fark_alıcı schematic : Jan 13 19:47:11 2005

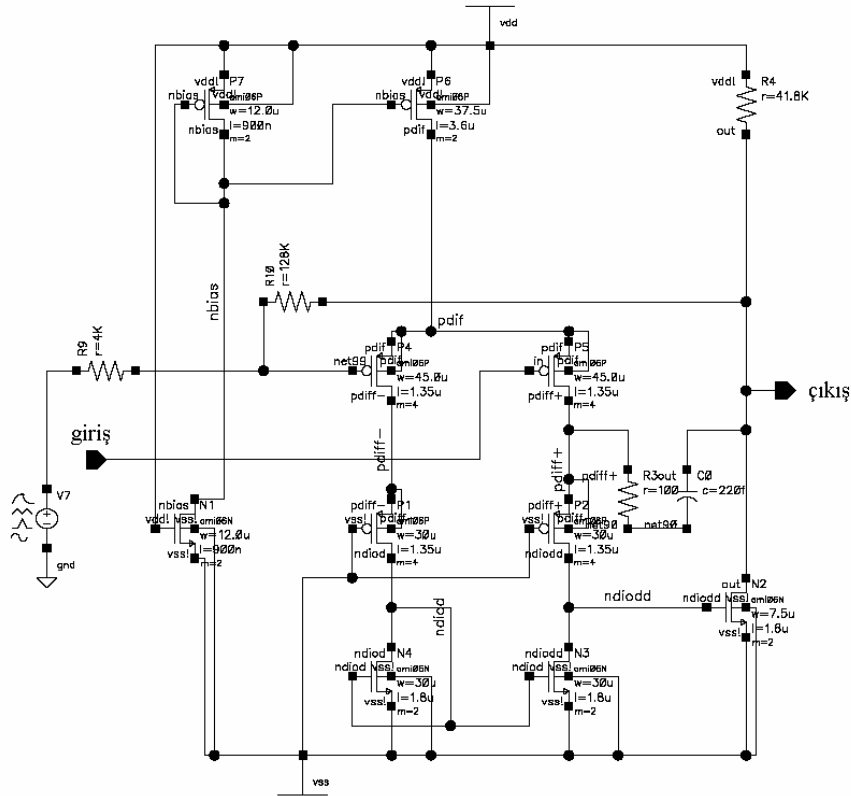
AC Response



Şekil 5.29 Fark alıcı devresinin AC çalışma karakteristiği

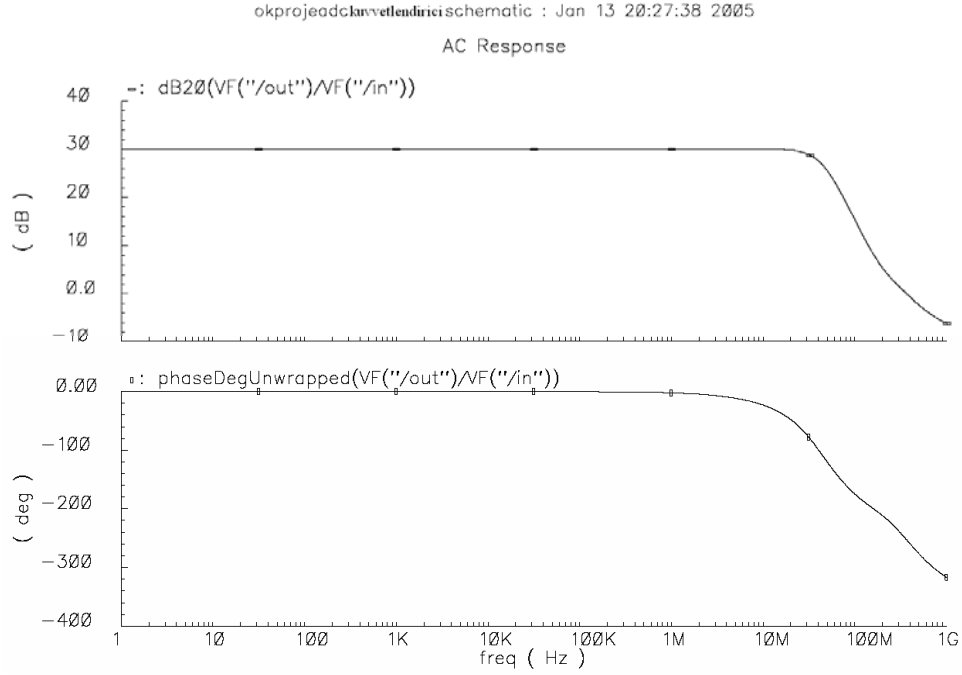
5.3.3 Kuvvetlendirici

Bu yapı klasik işlemsel kuvvetlendirici devresine istenilen kazanç oranında negatif geribesleme yapılması ile gerçekleştirilmiştir. Klasik yapıdan farklı negatif geribesleme ucu toprak yerine referans gerilim kaynağına gider böylece giriş işareti kuvvetlendirilirken aynı anda seviyesi de kaydırılır. Bu devrenin band genişliği 40 MHz' in üzerindedir ve faz payı da 100 dereceden büyüktür. Kuvvetlendirici devresinin transistör seviyesi görünümü ve AC çalışma karakteristikleri sırasıyla Şekil 5.30 ve 31' da verilmiştir.



Şekil 5.30 Kuvvetlendirici devresi

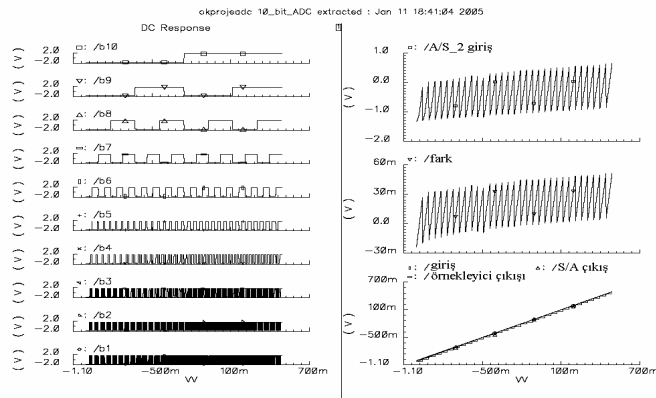
Buraya kadar anlatılan sistemlerin AC çalışmalarına bakıldığında kuvvetlendirici devresinin band genişliği en düşüktür dolayısıyla daha önce bahsedilen, sistemin analog giriş band genişliğini bu yapı belirler.



Şekil 5.31 Kuvvetlendirici devresinin Ac çalışma karakteristiği.

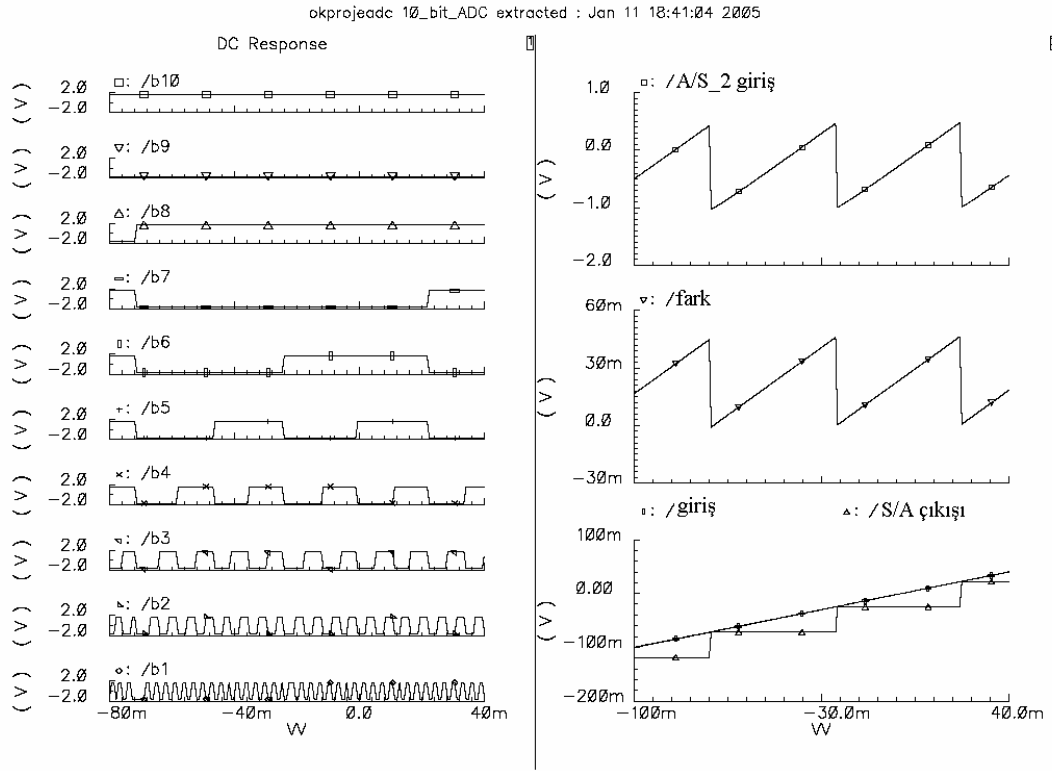
5.4 10-BİT Analog Sayısal Dönüştürücünün Simülasyonu

Tasarlanan analog sayısal dönüştürücü iki farklı yaklaşımla analiz edilmiştir, 1. yaklaşım öncelikle sistemin DC çalışma davranışının elde edilmesidir ki bu aslında gerilim geçiş eğrisinin elde edilmesi için yapılan bir analizdir. Sistemin DC analizi sonucunda elde edilen sonuçlar sırasıyla Şekil 5.30 ve 31’ de verilmiştir.



Şekil 5.32 10 bit A/S’ ne ait DC analiz sonuçları.ü

Şekil 5.32’ de görülen bitler girişe analog aralık boyunca uygulanan DC rampa işareti sonucunda elde edilmiştir, bir sonraki şekilde ise elde edilen sonuçlar büyütülmüş ve en değerliksiz bitlerin değişimi böylece daha da belirginleştirilmiştir.

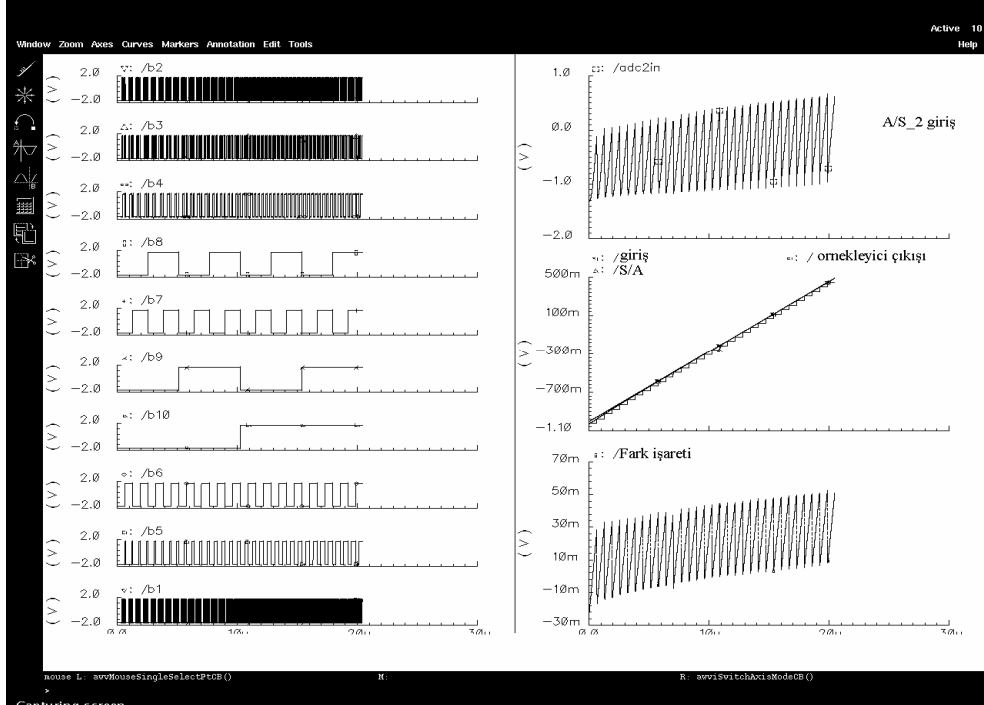


Şekil 5.33 LSB bitlerinin daha ayrıntılı görüntüsü

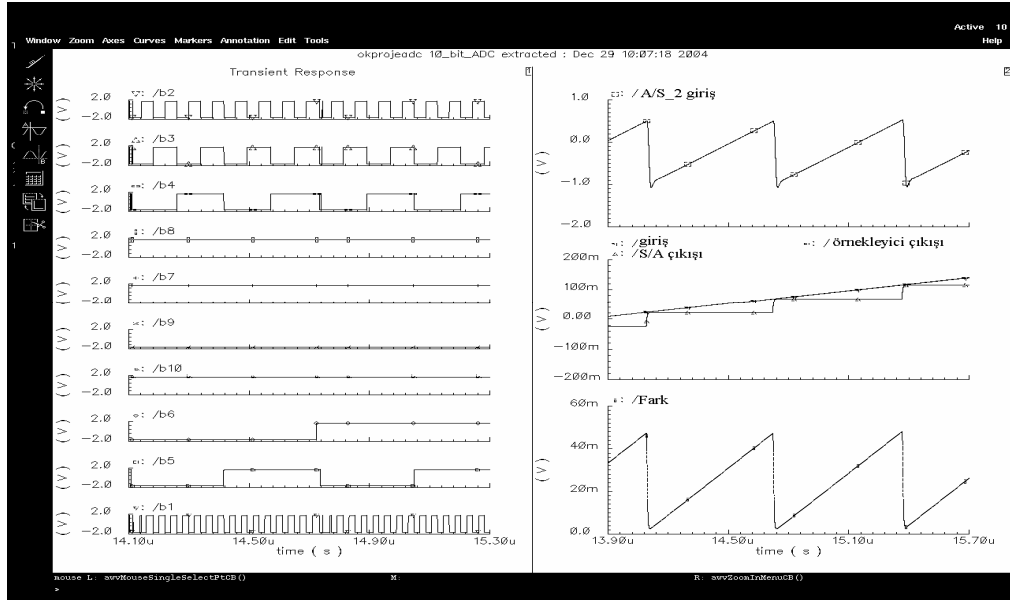
Normal olarak bu tip A/S dönüştürücülerin çalışmasını anlatmak için bu tip dalga şekilleri çok sık kullanılmaz. Genelde özel A/S dönüştürücü test devreleri ile üretilen örnek tümdevreler test edilir ve bu testlerin sonucunda doğrudan sistemin DNL ve INL değerleri elde edilir. Henüz bu test sistemleri olmadığından sonuçlar bu şekilde verilmiştir.

Bir sonraki aşamada yukarıdaki DC işlemler zaman uzayında gerçekleştirilmiştir. Bu analizden elde edilen sonuçlar da sırasıyla Şekil 5.32 ve 33’ de görülmektedir. Görüldüğü gibi fark işareti ve ikinci A/S dönüştürücüye giren işaret ideal fark işaretinden biraz farklıdır. Bu farkın bir çok nedeni vardır, A/S oturma zamanı, fark alıcı devre ofset hatası aynı şekilde kuvvetlendirici ve analog tampon devrelerinin ofset hataları bu uyumsuzluklara neden olabilir. Bu tip durumlarda sayısal hata

düzeltilme yapıları kullanılabilirliği ileriki çalışmalarda bu konuya ağırlık verilmesi faydalı olacaktır.



Şekil 5.34 10-bit A/S dönüştürücünün 20 µs' lik rampa fonksiyonu ile test edilmesi



Şekil 5.35 En değerliksiz bitlerin ayrıntılı görüntüsü

Simölasyon sonuçları doğrudan, tasarlanan sistem üzerinde yapıldığından nicemleme hatası görölmemektedir ancak bu üretimden sonra ne olacağı ancak istatistiksel analizler yardımıyla kestirilebilir ki bu çalışmada da sistemin aşağı yukarı nasıl sonuçlar verebileceğı bölümün başında nicemleyici öbeğinin anlatımında tartışılmıştır.

İlerisi için ne gibi çalışmalar yapılmalı sorusuna verilecek en doğru yanıt, sayısal hata düzeltme algoritmaları ve çok yüksek hızlı işlemsel kuvvetlendiricilerin önerilen mimariye uygulanmasına çalışılması doğru bir yaklaşım olacaktır. Yöntemin bir dezavantajı gibi görünen eşik seviyelerindeki üretime bağılı küçük kaymaların sistemin çalışmasına olan etkisini bastırmaya yönelik yapılacak çalışmaların bu yeni A/S dönüştürücü nicemleyici mimarisinin getirdiğı avantajlardan yararlanmak adına çok faydalı sonuçlar doğuracağı düşünülmektedir.

Uluslar arası alanda çok önemli bir yer tutan yüksek hızlı A/S dönüştürücüler konusunu ulusal alanda bu tip çalışmalarla gündemde tutmanın ülke gelişimine büyük katkıları olacağı çok açıktır. Bu tip çalışmalar yalnızca elektronik tasarımı alanında değil, bu teknolojiyi yapılabilir kılan yarıiletken teknolojisinin de ulusal bilim çevreleri tarafından daha iyi tanınmasını sağlayacaktır.

KAYNAKLAR

1. TANGEL, A., 1999. VLSI Implementation of The Threshold Inverter Quantization(TIQ) Technique for CMOS A/D Converter Applications. Ph.D. Thesis, 1-128, Penstate University
2. AYTAR, O., TIQ Temelli 8-Bit İki Aaşamalı ADC Tasarımı, Simölasyonu ve Serim Őeması, K.O.Ü. Fen Bil. Enst. Yüksek Lisans Tezi KOCAELİ,2003
3. Maxim 2003. APP 2094, www.maxim.com
4. CHEN, W. K. 2000. The VLSI Handbook. CRC Press, Inc. Boca Raton, FL, USA
5. National Instruments, A/D Converter Definition of Terms, www.ni.com, January 2000
6. VAN DE PLASSCHE, R., Integrated Analog to Digital and Digital to Analog Converters Kluwer Academic Publishers, 2003
7. CHOE, M.-J., SONG, B-S., BACRANIA, K.,An 8-bit 100-MSample/s CMOS Pipelined Folding ADC, IEEE Journal Of Solid State Circuits (JSSC), Vol. 36, No. 2, February 2001
8. VAN VALBURG, J., VAN DE PLASSCHE, R., An 8-b 650-MHz folding ADC, IEEE J. Solid State Circuits, vol. 27, pp. 1662-1666, Dec 1992
9. VAN DEN GRIFT, R.,RUTTEN, I., VAN DER VEEB, M, An 8-bit Video ADC Incorporating Folding and Interpolation Techniques, IEEE J. Solid-State Circuits, vol. SC-22, pp. 944-953, Dec. 1987
10. NAUTA, B., and VENES, A., A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter,” IEEE J. Solid-State Circuits, vol. 30, pp.1302–1308, Dec. 1995
11. VORENKAMP, P. and ROOVERS, R., A 12-b 60-MSample/s Cascaded Folding and Interpolation ADC, IEEE J. Solid-State Circuits, vol. 32, pp.1876–1886, Dec. 1997
12. FLYNN, M. and ALLSTOT, CMOS Folding A/D Converters With Current-Mode Interpolation, IEEE J. Solid-State Circuits, vol. 31, pp.1248–1257, Sept.

1996

13. VENES, A. and VAN DE PLASSCHE, R., A 80-MHz 80-mW 8-b CMOS Folding A/D Converter With Distributed Track-and-Hold Preprocessing, IEEE J. Solid-State Circuits, vol. 31, pp. 1846–1853, Dec. 1996
14. FLYNN, M. and SHEAHAN, B., A 400-Msample/s 6-b CMOS Folding and Interpolating ADC, IEEE J. Solid-State Circuits, vol. 33, pp. 1932–1938, Dec. 1998
15. DINGWALL, A., ZAZZU, V., An 8-MHz CMOS Subranging 8-Bit A/D Converter, IEEE J. Solid-State Circuits, vol. SC-20, pp. 1138–1143, Dec. 1985(49_4)(65_24)(41_1)
16. PETSCHACHER, R., ZOJER, B., ASTEGHER, B., JESSNER, H., LECHNER, A., A 10-Bit 75-MSPS Subranging A/D Converter With Integrated Sample and Hold, IEEE J. Solid-State Circuits, vol. 25, pp. 1187–1199, Dec. 1990(60_6)
17. YOTSUYANAGI, M., HASEGAWA, H., YAMAGUCHI, M., ISHIDA, M., A 2V 10 B 20 MS/s Mixed-Mode Subranging CMOS A/D Converter, in 1995 IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, USA 1995, pp. 282–283(71_4)
18. ITO, M. et al., A 10 bit 20 MS/s 3 V Supply CMOS A/D Converter, IEEE J. Solid-State Circuits, vol. 29, pp. 1531–1536, Dec. 1994(38_22)
19. BRANDT, B. P., LUTSKY, J., A 75-mW 10-b 20-MSPS CMOS Subranging ADC With 9.5 Effective Bits at Nyquist, IEEE J. Solid-State Circuits, vol. 34, pp. 1788–1795, Dec. 1999(46_13)(65_27)
20. TAFT, R. C., TURSI, M. R., A 100-MSPS 8-b CMOS Subranging ADC with Sustained Parametric Operation From 3.8V down to 2.2V, IEEE J. Solid-State Circuits, vol. 36, pp. 331–338, Mar. 2001(61_1), (65_21)
21. MULDER, J. Et al., A 21-Mw 8-B 125-MS/s ADC in 0.09-mm² 0.13- μ m CMOS, IEEE J. Solid State Circuits, vol. 39, pp. 2116–2125, Dec 2004(65)
22. PAN, H., SEGAMI, M., CHOI, M., CAO, J., and ABIDI, A. A., A 3.3-V 12-b 50-MS/s A/D Converter in 0.6- μ m CMOS With Over 80-dB SFDR, IEEE J. Solid-State Circuits, vol. 35, pp. 1769–1780, Dec. 2000
23. ABO, A. M. and GRAY, P. R., A 1.5-V 10-bit 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter, IEEE J. Solid-State Circuits, vol. 34, pp. 599–606, May 1999
24. LIU, M.-H., HUANG, K.-C., OU, W.-Y., SU, T.-Y., and LIU, S.-I., A Low

- Voltage-Power 13-Bit 16 MSPS CMOS Pipelined ADC, IEEE J. Solid-State Circuits, vol. 39, pp. 834-836, May 2004
25. CHUANG, S.-Y. (S.), and SCULLEY, T. L., A Digitally Self-Calibrating 14-bit 10MHz CMOS Pipelined A/D Converter, IEEE J. Solid-State Circuits, vol. 37, pp. 674-682, June 2002
 26. KWAK, S.-U., SONG, B.-S., and BACRANIA, K., A 15-b, 5-Msample/s Low-Spurious CMOS ADC, IEEE J. Solid-State Circuits, vol. 32, pp. 1866-1875, Dec 1997
 27. SIRAGUSA, E. and GALTON, I. A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC, IEEE J. Solid-State Circuits, vol.39, pp. 2126-2138, Dec 2004
 28. CHIU, Y., GRAY, P. R. Gray, and NIKOLIC, B., A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR, IEEE J. Solid-State Circuits, vol.39, pp.2139-2151, Dec 2004
 29. TSUKAMOTO, S., ENDO, T., SCHOFIELD, W., A CMOS 6-b 400-MSamples/s ADC With Error Correction, IEEE J. Solid-State Circuits, vol. 33, pp. 1939–1947, Dec. 1998
 30. MANGELSDORF, C. W., A 400-MHz Input Flash Converter With Error Correction, IEEE J. Solid-State Circuits, vol. 25, pp. 184–191, Feb. 1990
 31. BAKER, R.J, HARRY, W.L. and BOYCE, D.E. 1998. CMOS Circuits Design, Layout and Simulation. IEEE Pres, New York, pp 1-903.
 32. BRIANTI, F., MANSTRETTA, A. and TORELLI, G. 1998. High Speed Autozeroed CMOS Comparator for Multistep A/D Conversion. Microelectronics Journal 29, pp 845-853.
 33. FUJITA, Y., MASUDA, E., SAKAMOTO, S., SAKAUE, T. and SATO, Y. 1984. A Bulk CMOS 20Ms/s 7b Flash ADC. IEEE International Solid State Circuits Conference, pp 56-57
 34. TANGEL, A., CHOI, K., The CMOS Inverter as a Comparator in ADC Designs, Analog Integrated Circuits and Signal Processing, 39, 147–155, 2004
 35. YOO, J., CHOI, K., TANGEL, A., 1-GSPS CMOS Flash Analog-to-Digital Converter for System-on-Chip Applications, in Proc. IEEE Computer Society Workshop on VLSI, pp. 123-456, April 2001
 36. YOO, J., LEE, D., CHOI, K., TANGEL A., Future-Ready Ultrafast 8bit CMOS

ADC for System-on-Chip Applications, in Proc. IEEE Intl' ASIC/SOC Conference, pp. 789-793, Sep 2001

37. SEDRA, A.S. and SMITH, K.C. 1998. Microelectronics Circuits. Oxford University Press, New York
38. VAN DEN BOSCH, A., STEYAERT, M., SANSEN, W. 2001., The Impact of Statistical Design on the Area of High Performance CMOS Current-Steering D/A Converters. Analog Integrated Circuits and Signal Processing, 28, pp 142-148
39. ALLEN, P.E. and HOLBERG, D.R., 2002. Cmos Analog Circuit Design. Second Edition, Oxford University Press, 1-784, New York.
40. GORDON, B.M. 1978. Linear Electronic Analog/Digital Conversion Architecture, Their Origins, Parameters, Limitations and Applications. IEEE Trans. Circuits Systems, Vol.Cas-25, No.7, pp 391-418
41. KESTER W., Analog to Digital Conversion, Analog Devices, Inc, 2004
42. BASTIAANSEN, C. and GROENEVELD, D. 1991. A 10-b-40-MHz 0.8 μ m CMOS Current-Output D/A Converter. IEEE Journal of Solid State Circuits, Vol.26, No.7, pp 917-921.
43. TAKAKURA, H., YOKOYAMA, M. and YAMAGUCHI, A. 1991. A 10 bit 80 MHz Glitchless CMOS D/A Converter. Proceeding of the IEEE Custom Integrated Circuits Conference, pp 2651-2654
44. <http://www.mosis.org/Technical/Testdata/ami-c5-prm.html>
45. TUINHOUT, H. P., ELZNGA, H., BRUGMAN, POSTMA, J. T. F., The Floating Gate Measurement Technique for Characterization of Capacitor matching," IEEE Trans. Semicond. Manufact., vol. 9, pp. 2-8, Feb.1996
46. LEUNG, B. H., SUTARJA, S., Multibit D S A/D Converter Incorporating a Novel Class of Dynamic Element Matching Techniques," IEEE Trans.Circuits Syst. II, vol. 39, pp. 35-51, Jan. 1992
47. PELGROM, M. J. M., DUIJNMAIJER, A. C. J., WELBERS, A. P. G., Matching properties of MOS Transistors," IEEE J. Solid-State Circuits, vol. 24, pp.1433-1440, Oct. 1989
48. PELGROM, M. J. M., VERTREGT, M., Transistor Matching in Analog CMOS Applications, in IEEE IEDM Tech. Dig., 1998, pp. 915-918
49. ROMBOUTS, P., WEYTEN, L., A Study of Dynamic Element Matching

Techniques for Three-Level Unit Elements,” IEEE Trans. Circuits Syst. II, vol. 47, pp. 1177–1187, Nov. 2000

50. VAN DE PLASSCHE, R. J., Dynamic Element Matching for High-Accuracy Monolithic D/A converters, IEEE J. Solid-State Circuits, vol. SC-11, pp. 795-800, Dec 1976
51. ROMBOUTS, P., WEYTEN, L., Dynamic Element Matching for Pipelined A/D Conversion, in Proc. IEEE Int. Conf. Electronics, Circuits and Systems, vol. 2, pp. 315–318., Sept. 1998
52. BULT, K., BUCHWALD, A., An Embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm², IEEE J. Solid-State Circuits, vol. 32, pp. 1887-1895, Dec 1997
53. RAZAVI, B., WOOLEY, B., A 12-b 5-Msample/s Two-Step CMOS A/D Converter,” IEEE J. Solid-State Circuits, vol. 27, pp. 1667–1678, Dec. 1992.

EK-1

Tasarımda kullanılan Spice Model parametreleri:

1) T3CU

* DATE: Feb 4/04

* LOT: T3CU WAF: 9197

* Temperature_parameters=Default

```
.MODEL NMOS NMOS LEVEL = 49
+VERSION = 3.1      TNOM = 27      TOX = 1.41E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = 0.6324363
+K1 = 0.9023959    K2 = -0.1026676    K3 = 23.7211037
+K3B = -7.7616661    W0 = 1E-8      NLX = 1E-9
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 2.4516832    DVT1 = 0.4229603    DVT2 = -0.1496705
+U0 = 454.2725419    UA = 1E-13      UB = 1.70351E-18
+UC = 6.36834E-12    VSAT = 1.682977E5    A0 = 0.6327037
+AGS = 0.1409719    B0 = 2.449635E-6    B1 = 5E-6
+KETA = -2.553647E-3    A1 = 7.523114E-4    A2 = 0.3468192
+RDSW = 1.333931E3    PRWG = 0.0547072    PRWB = 0.0119615
+WR = 1      WINT = 2.689002E-7    LINT = 6.18953E-8
+XL = 1E-7      XW = 0      DWG = -1.655789E-8
+DWB = 4.603845E-8    VOFF = -7.517414E-4    NFACTOR = 1.1807121
+CIT = 0      CDSC = 2.4E-4      CDSCD = 0
+CDSCB = 0      ETA0 = 1.710145E-3    ETAB = -1.719485E-4
+DSUB = 0.0549297    PCLM = 2.5284192    PDIBLC1 = 1
+PDIBLC2 = 2.415017E-3    PDIBLCB = -0.021807    DROUT = 1.0161213
+PSCBE1 = 6.337142E8    PSCBE2 = 1.945084E-4    PVAG = 0
+DELTA = 0.01      RSH = 82.4      MOBMOD = 1
+PRT = 0      UTE = -1.5      KT1 = -0.11
+KT1L = 0      KT2 = 0.022      UA1 = 4.31E-9
+UB1 = -7.61E-18    UC1 = -5.6E-11      AT = 3.3E4
+WL = 0      WLN = 1      WW = 0
+WWN = 1      WWL = 0      LL = 0
+LLN = 1      LW = 0      LWN = 1
+LWL = 0      CAPMOD = 2      XPART = 0.5
+CGDO = 2.08E-10    CGSO = 2.08E-10    CGBO = 1E-9
+CJ = 4.257086E-4    PB = 0.9369345    MJ = 0.4362572
+CJSW = 2.991271E-10    PBSW = 0.8      MJSW = 0.1807793
+CJSWG = 1.64E-10    PBSWG = 0.8      MJSWG = 0.1807793
+CF = 0      PVTH0 = -0.0197929    PRDSW = 396.6034846
+PK2 = -0.0224547    WKETA = -0.0201265    LKETA = -3.663534E-4
```

```
.MODEL PMOS PMOS LEVEL = 49
+VERSION = 3.1      TNOM = 27      TOX = 1.41E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = -0.9351904
+K1 = 0.5307902    K2 = 0.0122002    K3 = 6.961862
+K3B = -0.6729701    W0 = 1E-8      NLX = 5.698899E-9
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 2.3232952    DVT1 = 0.5555446    DVT2 = -0.1124013
+U0 = 212.3080426    UA = 2.971511E-9    UB = 1.652486E-21
+UC = -5.86839E-11    VSAT = 1.900028E5    A0 = 0.8916313
+AGS = 0.155607    B0 = 1.111101E-6    B1 = 5E-6
+KETA = -2.328934E-3    A1 = 0      A2 = 0.3
+RDSW = 2.67372E3    PRWG = 5.628936E-3    PRWB = -0.0193183
```

```

+WR   = 1          WINT  = 3.016664E-7  LINT  = 7.444907E-8
+XL   = 1E-7       XW    = 0           DWG   = -1.924873E-8
+DWB  = 2.282337E-8  VOFF  = -0.0753243  NFACTOR = 0.6483075
+CIT  = 0          CDSC  = 2.4E-4       CDSCD  = 0
+CDSCB = 0          ETA0  = 0.138591     ETAB   = -0.0979263
+DSUB = 1          PCLM  = 2.1205967    PDIBLC1 = 0.0411808
+PDIBLC2 = 3.493502E-3 PDIBLCB = -0.0480054 DROUT  = 0.2005829
+PSCBE1 = 2.522355E10 PSCBE2 = 2.479417E-9 PVAG   = 0.018325
+DELTA = 0.01       RSH   = 106.6       MOBMOD = 1
+PRT  = 0          UTE   = -1.5         KT1    = -0.11
+KT1L = 0          KT2   = 0.022        UA1    = 4.31E-9
+UB1   = -7.61E-18 UC1   = -5.6E-11     AT     = 3.3E4
+WL    = 0          WLN   = 1           WW     = 0
+WWN   = 1          WWL   = 0           LL     = 0
+LLN   = 1          LW    = 0           LWN    = 1
+LWL   = 0          CAPMOD = 2          XPART  = 0.5
+CGDO  = 2.82E-10    CGSO  = 2.82E-10    CGBO   = 1E-9
+CJ    = 7.187429E-4 PB    = 0.9785244    MJ     = 0.4986357
+CJSW  = 2.698159E-10 PBSW  = 0.99       MJSW   = 0.2849949
+CJSWG = 6.4E-11     PBSWG = 0.99       MJSWG  = 0.2849949
+CF    = 0          PVTH0 = 5.98016E-3    PRDSW  = 14.8598424
+PK2   = 3.73981E-3  WKETA = 4.203179E-3  LKETA  = -6.618258E-3

```

2)T43A

```

* DATE: Jun 10/04
* LOT: T43A          WAF: 6102
* Temperature_parameters=Default

```

```

.MODEL CMOSN NMOS (          LEVEL = 49
+VERSION = 3.1      TNOM  = 27      TOX   = 1.41E-8
+XJ   = 1.5E-7      NCH   = 1.7E17   VTH0  = 0.5990878
+K1   = 0.8975568   K2    = -0.1000704 K3    = 21.6587781
+K3B  = -7.9265173  W0    = 1E-8     NLX   = 1E-9
+DVT0W = 0          DVT1W = 0        DVT2W = 0
+DVT0  = 3.0384483  DVT1  = 0.3944743 DVT2  = -0.102604
+U0    = 452.9356952 UA    = 1E-13    UB    = 1.572855E-18
+UC    = 6.575769E-12 VSAT  = 1.686353E5 A0    = 0.5846079
+AGS   = 0.1189837  B0    = 2.613076E-6 B1    = 5E-6
+KETA  = -1.951118E-3 A1    = 5.915782E-4 A2    = 0.3555138
+RDSW  = 1.204283E3 PRWG  = 0.0719662 PRWB  = 0.0245607
+WR    = 1          WINT  = 2.423156E-7 LINT  = 6.894419E-8
+XL    = 1E-7       XW    = 0           DWG   = -1.028023E-8
+DWB  = 4.429648E-8 VOFF  = 0           NFACTOR = 0.5787057
+CIT  = 0          CDSC  = 2.4E-4       CDSCD  = 0
+CDSCB = 0          ETA0  = 1.95641E-3  ETAB   = -7.285183E-5
+DSUB = 0.0605523  PCLM  = 2.466601    PDIBLC1 = 0.9543408
+PDIBLC2 = 2.003992E-3 PDIBLCB = -0.0567544 DROUT  = 0.9582535
+PSCBE1 = 6.252856E8 PSCBE2 = 1.675641E-4 PVAG   = 0
+DELTA = 0.01       RSH   = 82.5       MOBMOD = 1
+PRT  = 0          UTE   = -1.5         KT1    = -0.11
+KT1L = 0          KT2   = 0.022        UA1    = 4.31E-9
+UB1   = -7.61E-18 UC1   = -5.6E-11     AT     = 3.3E4
+WL    = 0          WLN   = 1           WW     = 0
+WWN   = 1          WWL   = 0           LL     = 0
+LLN   = 1          LW    = 0           LWN    = 1
+LWL   = 0          CAPMOD = 2          XPART  = 0.5
+CGDO  = 1.95E-10    CGSO  = 1.95E-10    CGBO   = 1E-9
+CJ    = 4.287928E-4 PB    = 0.9132664    MJ     = 0.4320935
+CJSW  = 2.956839E-10 PBSW  = 0.8        MJSW   = 0.174883
+CJSWG = 1.64E-10    PBSWG = 0.8        MJSWG  = 0.174883
+CF    = 0          PVTH0 = 0.0910784    PRDSW  = 139.3740872
+PK2   = -0.0277907 WKETA = -0.0162866  LKETA  = 6.086128E-4 )
*

```

```

.MODEL CMOS PMOS (
LEVEL = 49
+VERSION = 3.1      TNOM = 27      TOX = 1.41E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = -0.9601658
+K1 = 0.5311141    K2 = 0.0115847    K3 = 5.7229409
+K3B = -0.7989062    W0 = 1.196407E-8    NLX = 1.727423E-8
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 2.1759885    DVT1 = 0.4932599    DVT2 = -0.1020811
+U0 = 215.6088763    UA = 3.036144E-9    UB = 1.670613E-21
+UC = -6.05813E-11    VSAT = 2E5      A0 = 0.8841357
+AGS = 0.1411478    B0 = 6.883101E-7    B1 = 5E-6
+KETA = -7.486645E-4    A1 = 0      A2 = 0.3
+RDSW = 3E3      PRWG = -0.0266947    PRWB = -2.909041E-3
+WR = 1      WINT = 2.767208E-7    LINT = 9.173097E-8
+XL = 1E-7      XW = 0      DWG = -1.882214E-8
+DWB = 2.008265E-8    VOFF = -0.0708421    NFACTOR = 0.7410713
+CIT = 0      CDSC = 2.4E-4      CDSCD = 0
+CDSCB = 0      ETA0 = 0.1758655    ETAB = -0.0926353
+DSUB = 1      PCLM = 2.0437905    PDIBLC1 = 0.0570152
+PDIBLC2 = 3.813027E-3    PDIBLCB = -0.0589335    DROUT = 0.2411938
+PSCBE1 = 1.223176E10    PSCBE2 = 1.147626E-9    PVAG = 0.015758
+DELTA = 0.01      RSH = 105.6      MOBMOD = 1
+PRT = 0      UTE = -1.5      KT1 = -0.11
+KT1L = 0      KT2 = 0.022      UA1 = 4.31E-9
+UB1 = -7.61E-18    UC1 = -5.6E-11    AT = 3.3E4
+WL = 0      WLN = 1      WW = 0
+WWN = 1      WWL = 0      LL = 0
+LLN = 1      LW = 0      LWN = 1
+LWL = 0      CAPMOD = 2      XPART = 0.5
+CGDO = 2.69E-10    CGSO = 2.69E-10    CGBO = 1E-9
+CJ = 7.230595E-4    PB = 0.9611133    MJ = 0.4948601
+CJSW = 2.919852E-10    PBSW = 0.99      MJSW = 0.3104948
+CJSWG = 6.4E-11    PBSWG = 0.99      MJSWG = 0.3104948
+CF = 0      PVTH0 = 5.98016E-3    PRDSW = 14.8598424
+PK2 = 3.73981E-3    WKETA = 2.482078E-3    LKETA = -5.42607E-3 )
*
```

3)T42Q

```

* DATE: Apr 19/04
* LOT: T42Q      WAF: 4104
* Temperature_parameters=Default
```

```

.MODEL CMOS NMOS (
LEVEL = 49
+VERSION = 3.1      TNOM = 27      TOX = 1.45E-8
+XJ = 1.5E-7      NCH = 1.7E17      VTH0 = 0.6271898
+K1 = 0.9028994    K2 = -0.0926291    K3 = 24.083402
+K3B = -7.4014625    W0 = 1E-8      NLX = 1E-9
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 2.5112196    DVT1 = 0.4491809    DVT2 = -0.1865812
+U0 = 451.9112739    UA = 1.097944E-13    UB = 1.529479E-18
+UC = 4.493796E-12    VSAT = 1.643471E5    A0 = 0.6870108
+AGS = 0.1388819    B0 = 2.618639E-6    B1 = 5E-6
+KETA = -3.476759E-3    A1 = 1.001657E-3    A2 = 0.3663017
+RDSW = 1.229695E3    PRWG = 0.0710329    PRWB = 0.0201446
+WR = 1      WINT = 2.496455E-7    LINT = 6.642109E-8
+XL = 1E-7      XW = 0      DWG = -6.375269E-9
+DWB = 4.662611E-8    VOFF = 0      NFACTOR = 0.9321099
+CIT = 0      CDSC = 2.4E-4      CDSCD = 0
+CDSCB = 0      ETA0 = 2.007477E-3    ETAB = -3.749203E-5
+DSUB = 0.0582478    PCLM = 2.4352419    PDIBLC1 = 1
+PDIBLC2 = 2.359239E-3    PDIBLCB = -0.0831098    DROUT = 0.9921823
```

```

+PSCBE1 = 6.16399E8   PSCBE2 = 1.543548E-4   PVAG = 0
+DELTA = 0.01         RSH = 82.9             MOBMOD = 1
+PRT = 0              UTE = -1.5             KT1 = -0.11
+KT1L = 0             KT2 = 0.022            UA1 = 4.31E-9
+UB1 = -7.61E-18      UC1 = -5.6E-11         AT = 3.3E4
+WL = 0               WLN = 1                WW = 0
+WWN = 1              WWL = 0                LL = 0
+LLN = 1              LW = 0                 LWN = 1
+LWL = 0              CAPMOD = 2             XPART = 0.5
+CGDO = 2.04E-10      CGSO = 2.04E-10       CGBO = 1E-9
+CJ = 4.34378E-4      PB = 0.9078527        MJ = 0.4308418
+CJSW = 2.961264E-10  PBSW = 0.8           MJSW = 0.1746707
+CJSWG = 1.64E-10     PBSWG = 0.8          MJSWG = 0.1746707
+CF = 0               PVTH0 = 0.0264804      PRDSW = 265.1269714
+PK2 = -0.0266255     WKETA = -0.0172398      LKETA = 7.116751E-4 )
*
.MODEL CMOSF PMOS (                                LEVEL = 49
+VERSION = 3.1      TNOM = 27          TOX = 1.45E-8
+XJ = 1.5E-7        NCH = 1.7E17       VTH0 = -0.9583239
+K1 = 0.5460554     K2 = 0.0109001     K3 = 7.2585694
+K3B = -0.7563793   W0 = 1E-8          NLX = 1.800493E-8
+DVT0W = 0          DVT1W = 0          DVT2W = 0
+DVT0 = 2.0344058   DVT1 = 0.5297711   DVT2 = -0.1184132
+U0 = 215.685113    UA = 3.046256E-9   UB = 1.722753E-21
+UC = -5.97863E-11  VSAT = 1.746561E5    A0 = 0.8512
+AGS = 0.141387     B0 = 1.043487E-6    B1 = 5E-6
+KETA = -1.275877E-3 A1 = 0            A2 = 0.3
+RDSW = 3E3         PRWG = -0.0267396   PRWB = -0.0303019
+WR = 1             WINT = 2.896631E-7   LINT = 9.059986E-8
+XL = 1E-7          XW = 0              DWG = -1.771919E-8
+DWB = 2.25752E-8   VOFF = -0.0785954    NFACTOR = 0.6970801
+CIT = 0            CDSC = 2.4E-4        CDSCD = 0
+CDSCB = 0          ETA0 = 0.1519013     ETAB = -0.0922153
+DSUB = 1           PCLM = 2.2238961     PDIBLC1 = 0.0538631
+PDIBLC2 = 3.94146E-3 PDIBLCB = -0.0497791 DROUT = 0.2420414
+PSCBE1 = 1.212361E10 PSCBE2 = 1.137215E-9 PVAG = 0
+DELTA = 0.01       RSH = 106.7         MOBMOD = 1
+PRT = 0            UTE = -1.5          KT1 = -0.11
+KT1L = 0           KT2 = 0.022         UA1 = 4.31E-9
+UB1 = -7.61E-18    UC1 = -5.6E-11      AT = 3.3E4
+WL = 0             WLN = 1            WW = 0
+WWN = 1            WWL = 0            LL = 0
+LLN = 1            LW = 0             LWN = 1
+LWL = 0            CAPMOD = 2          XPART = 0.5
+CGDO = 2.68E-10    CGSO = 2.68E-10    CGBO = 1E-9
+CJ = 7.234691E-4   PB = 0.9602105      MJ = 0.4953695
+CJSW = 2.917018E-10 PBSW = 0.99        MJSW = 0.3150532
+CJSWG = 6.4E-11    PBSWG = 0.99       MJSWG = 0.3150532
+CF = 0             PVTH0 = 5.98016E-3   PRDSW = 14.8598424
+PK2 = 3.73981E-3   WKETA = 3.011641E-3 LKETA = -5.908701E-3 )
*

```

4)41J

```

* DATE: Mar 23/04
* LOT: T41J          WAF: 7102
* Temperature_parameters=Default

```

```

.MODEL CMOSN NMOS (                                LEVEL = 49
+VERSION = 3.1      TNOM = 27          TOX = 1.41E-8
+XJ = 1.5E-7        NCH = 1.7E17       VTH0 = 0.6458135

```

```

+K1   = 0.9035483   K2   = -0.1021341   K3   = 25.65373
+K3B  = -8.4384876   W0   = 1E-8       NLX   = 1E-9
+DVT0W = 0          DVT1W = 0          DVT2W = 0
+DVT0  = 3.7061731   DVT1  = 0.421718   DVT2  = -0.0886036
+U0    = 442.8239696   UA   = 1E-13     UB   = 1.033059E-18
+UC    = 4.552271E-13   VSAT  = 1.709851E5   A0   = 0.6134351
+AGS   = 0.1234542    B0    = 2.630794E-6   B1    = 5E-6
+KETA  = -2.608739E-3   A1    = 6.915762E-4   A2    = 0.3473173
+RDSW  = 1.233317E3    PRWG  = 0.0713734   PRWB  = 0.0147667
+WR    = 1           WINT  = 2.463329E-7   LINT  = 7.079981E-8
+XL    = 1E-7        XW    = 0           DWG   = -4.8682E-11
+DWB   = 4.977835E-8   VOFF  = 0           NFACTOR = 0.7225789
+CIT   = 0           CDSC  = 2.4E-4       CDSCD  = 0
+CDSCB = 0           ETA0  = 1.793431E-3   ETAB  = -8.792298E-5
+DSUB  = 0.0559767    PCLM  = 2.5041317   PDIBLC1 = 1
+PDIBLC2 = 2.244965E-3 PDIBLCB = -0.0423326   DROUT  = 0.9461115
+PSCBE1 = 6.197978E8   PSCBE2 = 1.632007E-4   PVAG   = 0
+DELTA = 0.01         RSH   = 83.4        MOBMOD = 1
+PRT   = 0           UTE   = -1.5        KT1   = -0.11
+KT1L  = 0           KT2   = 0.022       UA1   = 4.31E-9
+UB1   = -7.61E-18    UC1   = -5.6E-11    AT    = 3.3E4
+WL    = 0           WLN   = 1           WW    = 0
+WWN   = 1           WWL   = 0           LL    = 0
+LLN   = 1           LW    = 0           LWN   = 1
+LWL   = 0           CAPMOD = 2           XPART  = 0.5
+CGDO  = 1.96E-10     CGSO  = 1.96E-10     CGBO  = 1E-9
+CJ    = 4.249499E-4   PB    = 0.9377843   MJ    = 0.4320142
+CJSW  = 2.864031E-10 PBSW  = 0.8         MJSW  = 0.1874898
+CJSWG = 1.64E-10     PBSWG = 0.8         MJSWG = 0.1874898
+CF    = 0           PVTH0 = 0.0771309   PRDSW  = 322.5848956
+PK2   = -0.0254503   WKETA = -0.0189661   LKETA  = 1.342945E-3 )
*

```

```

.MODEL CMOS PMOS (                LEVEL = 49
+VERSION = 3.1          TNOM  = 27        TOX   = 1.41E-8
+XJ     = 1.5E-7        NCH   = 1.7E17    VTH0  = -0.9235373
+K1     = 0.541569      K2    = 0.011349   K3     = 9.0786899
+K3B    = -0.8132505    W0    = 1E-8       NLX   = 1.036794E-8
+DVT0W  = 0            DVT1W = 0          DVT2W = 0
+DVT0   = 3.1298285    DVT1  = 0.5344777   DVT2  = -0.0761486
+U0     = 203.3515122   UA    = 2.61925E-9   UB    = 1E-21
+UC     = -6.72979E-11 VSAT  = 2E5        A0    = 0.8345936
+AGS    = 0.1262706    B0    = 7.978381E-7   B1    = 5E-6
+KETA   = -2.600073E-3 A1    = 0          A2    = 0.3
+RDSW   = 2.676597E3    PRWG  = 4.824411E-3   PRWB  = -0.028799
+WR     = 1           WINT  = 2.802539E-7   LINT  = 8.550694E-8
+XL     = 1E-7        XW    = 0           DWG   = -6.417426E-9
+DWB    = 2.349126E-8   VOFF  = -0.0489132   NFACTOR = 0.8422337
+CIT    = 0           CDSC  = 2.4E-4       CDSCD  = 0
+CDSCB  = 0           ETA0  = 0.1429737   ETAB  = -0.058294
+DSUB   = 0.9072621    PCLM  = 2.0444849   PDIBLC1 = 0.0641696
+PDIBLC2 = 3.73548E-3   PDIBLCB = -0.0635886   DROUT  = 0.2553407
+PSCBE1 = 1.916269E10   PSCBE2 = 1.797493E-9   PVAG   = 2.193235E-3
+DELTA  = 0.01         RSH   = 106.6       MOBMOD = 1
+PRT    = 0           UTE   = -1.5        KT1   = -0.11
+KT1L   = 0           KT2   = 0.022       UA1   = 4.31E-9
+UB1    = -7.61E-18    UC1   = -5.6E-11    AT    = 3.3E4
+WL     = 0           WLN   = 1           WW    = 0
+WWN    = 1           WWL   = 0           LL    = 0
+LLN    = 1           LW    = 0           LWN   = 1
+LWL    = 0           CAPMOD = 2           XPART  = 0.5
+CGDO   = 2.59E-10     CGSO  = 2.59E-10     CGBO  = 1E-9
+CJ     = 7.204011E-4   PB    = 0.9645898   MJ    = 0.4965887
+CJSW   = 2.564918E-10 PBSW  = 0.99        MJSW  = 0.2902666
+CJSWG  = 6.4E-11     PBSWG = 0.99        MJSWG = 0.2902666
+CF     = 0           PVTH0 = 5.98016E-3   PRDSW  = 14.8598424

```

+PK2 = 3.73981E-3 WKETA = 5.300987E-3 LKETA = -3.984874E-3)
*

5)T42C

* DATE: Apr 8/04

* LOT: T41C WAF: 5104

* Temperature_parameters=Default

.MODEL CMOSN NMOS (LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 1.41E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = 0.6483967
+K1 = 0.8846828 K2 = -0.096675 K3 = 25.6499608
+K3B = -8.4319833 W0 = 1E-8 NLX = 1E-9
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 4.1419512 DVT1 = 0.4053777 DVT2 = -0.0737345
+U0 = 451.0782847 UA = 1E-13 UB = 1.291207E-18
+UC = 3.366382E-12 VSAT = 1.752293E5 A0 = 0.6423255
+AGS = 0.134057 B0 = 2.620447E-6 B1 = 5E-6
+KETA = -3.023752E-3 A1 = 6.558404E-4 A2 = 0.3464963
+RDSW = 1.099706E3 PRWG = 0.110131 PRWB = 0.0378587
+WR = 1 WINT = 2.274985E-7 LINT = 7.629333E-8
+XL = 1E-7 XW = 0 DWG = 2.066228E-10
+DWB = 3.745437E-8 VOFF = 0 NFACTOR = 0.5278278
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 1.968283E-3 ETAB = -2.816917E-4
+DSUB = 0.074233 PCLM = 2.4707528 PDIBLC1 = 1
+PDIBLC2 = 2.865871E-3 PDIBLCB = 0.025196 DROUT = 0.8883583
+PSCBE1 = 6.107924E8 PSCBE2 = 1.247958E-4 PVAG = 0
+DELTA = 0.01 RSH = 83.8 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 1.98E-10 CGSO = 1.98E-10 CGBO = 1E-9
+CJ = 4.306154E-4 PB = 0.9194544 MJ = 0.4333521
+CJSW = 2.766658E-10 PBSW = 0.8 MJSW = 0.1683748
+CJSWG = 1.64E-10 PBSWG = 0.8 MJSWG = 0.1683748
+CF = 0 PVTH0 = 0.0956472 PRDSW = 170.3877511
+PK2 = -0.0312577 WKETA = -0.0276273 LKETA = 2.471612E-3)
*

.MODEL CMOSP PMOS (LEVEL = 49
+VERSION = 3.1 TNOM = 27 TOX = 1.41E-8
+XJ = 1.5E-7 NCH = 1.7E17 VTH0 = -0.9431712
+K1 = 0.5572919 K2 = 8.954133E-3 K3 = 9.9647774
+K3B = -0.9441214 W0 = 1.188354E-7 NLX = 3.421664E-8
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 3.3770609 DVT1 = 0.522106 DVT2 = -0.0632796
+U0 = 200.3578985 UA = 2.492319E-9 UB = 1.086662E-21
+UC = -6.5656E-11 VSAT = 1.950933E5 A0 = 0.8437911
+AGS = 0.1139373 B0 = 6.540056E-7 B1 = 5E-6
+KETA = -2.220959E-3 A1 = 0 A2 = 0.3
+RDSW = 2.53373E3 PRWG = 3.925249E-3 PRWB = -0.0319294
+WR = 1 WINT = 2.656718E-7 LINT = 9.382975E-8
+XL = 1E-7 XW = 0 DWG = -6.413828E-9
+DWB = 2.095233E-8 VOFF = -0.051196 NFACTOR = 0.7674444
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 0.0431522 ETAB = -0.0460273

```

+DSUB = 0.8682693   PCLM = 2.0396737   PDIBLC1 = 0.0640414
+PDIBLC2 = 3.810386E-3   PDIBLCB = -0.0579829   DROUT = 0.2603251
+PSCBE1 = 1.875169E10   PSCBE2 = 1.758941E-9   PVAG = 1.447704E-3
+DELTA = 0.01   RSH = 106.8   MOBMOD = 1
+PRT = 0   UTE = -1.5   KT1 = -0.11
+KT1L = 0   KT2 = 0.022   UA1 = 4.31E-9
+UB1 = -7.61E-18   UC1 = -5.6E-11   AT = 3.3E4
+WL = 0   WLN = 1   WW = 0
+WWN = 1   WWL = 0   LL = 0
+LLN = 1   LW = 0   LWN = 1
+LWL = 0   CAPMOD = 2   XPART = 0.5
+CGDO = 2.68E-10   CGSO = 2.68E-10   CGBO = 1E-9
+CJ = 7.292039E-4   PB = 0.9665647   MJ = 0.496505
+CJSW = 2.716654E-10   PBSW = 0.99   MJSW = 0.2952864
+CJSWG = 6.4E-11   PBSWG = 0.99   MJSWG = 0.2952864
+CF = 0   PVTH0 = 5.98016E-3   PRDSW = 14.8598424
+PK2 = 3.73981E-3   WKETA = 5.037281E-3   LKETA = -4.111901E-3 )
*
```

EK-2

Tasarlanan sistemin ve alt öbeklerinin renkli basılmış fiziksel görünümüleri.

ÖZGEÇMİŞ

Anıl ÇELEBİ 1979'da Ünye/ORDU' da doğdu. İlk ve orta okul öğrenimini sırasıyla Dumlupınar İlkokulu ve Fatsa Merkez ortaokulunda tamamladıktan sonra liseyi ORDU' da yabancı dil ağırlıklı Fatih lisesinde tamamladı. 1998 yılında Kocaeli Üniversitesi Elektronik ve Haberleşme Mühendisliği Bölümüne girdi ve 2002 yılında mezun oldu. 2002 yılında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme anabilim dalında yüksek lisans programına başladı ve aynı dönemde enstitü kadrosunda araştırma görevlisi olarak çalışmaya başladı.

Anıl ÇELEBİ, halen yürütücülüğünü Yrd. Doç. Dr. Ali TANGEL' in yaptığı Yüksek Hızlı Analog Sayısal Dönüştürücüler isimli ve **102E001** nol'lu **TUBİTAK EEAG** araştırma projesinde araştırmacı olarak görev yapmaktadır.